

# МИКРОСХЕМА ИНТЕГРАЛЬНАЯ RFL1

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

## ОГЛАВЛЕНИЕ

<b>1. ВВЕДЕНИЕ.....</b>	<b>3</b>
1.1. Назначение и состав документа .....	3
1.2. Назначение и область применения микросхемы интегральной RFL1.....	3
1.3. Основные технические возможности микросхемы интегральной RFL1 .....	3
<b>2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ МИКРОСХЕМЫ ИНТЕГРАЛЬНОЙ RFL15</b>	
2.1. Структурная схема микросхемы RFL1 .....	5
2.2. Обобщенный принцип работы микросхемы .....	6
2.3. Внешние выходы микросхемы .....	7
2.4. Условное графическое обозначение микросхемы.....	9
<b>3. ОПИСАНИЕ СОСТАВНЫХ ЧАСТЕЙ МИКРОСХЕМЫ RFL1 .....</b>	<b>11</b>
3.1. Входной высокочастотный тракт .....	11
3.2. Синтезатор частоты .....	11
3.3. Тракт промежуточной частоты.....	12
3.4. Автоматическая регулировка усиления.....	15
3.5. Блок формирования выходных данных .....	19
3.6. Блок управления микросхемой.....	29
<b>4. КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ.....</b>	<b>52</b>
<b>5. МОНТАЖ И УСТАНОВКА МИКРОСХЕМЫ.....</b>	<b>53</b>
<b>6. УКАЗАНИЯ ПО ПРИМЕНЕНИЮ .....</b>	<b>55</b>
6.1. Типовая схема включения.....	55
6.2. Типовая конфигурация блока управления.....	56
<b>7. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМЫ RFL1 .....</b>	<b>61</b>
7.1. Электрические параметры питания микросхемы RFL1 .....	61
7.2. Общие электрические параметры микросхемы .....	62
7.3. Параметры каналов приема микросхемы .....	63
<b>ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ.....</b>	<b>65</b>

# 1. ВВЕДЕНИЕ

## 1.1 Назначение и состав документа

В документе «Микросхема интегральная RFL1. Руководство пользователя» приведены назначение, области применения, технические характеристики, описание внутренней структуры и внешних выводов микросхемы интегральной RFL1. Настоящее руководство пользователя (далее РП) может служить информационным материалом для организаций, разрабатывающих аппаратуру с применением микросхемы интегральной RFL1.

## 1.2 Назначение и область применения микросхемы интегральной RFL1

Микросхема интегральная RFL1 (далее микросхема) - специализированная большая аналоговая микросхема двухканального радиоприемного устройства с цифровым управлением, выполненная на одном кристалле по КМОП технологии.

Микросхема предназначена для усиления, частотного переноса, фильтрации, преобразования в цифровой поток радиосигналов навигационных систем стандартов GPS/ГЛОНАСС диапазона L1. Цифровой поток в микросхеме может быть пропущен на выход без обработки или направлен на встроенный блок предварительной цифровой обработки, осуществляющего функции дополнительной фильтрации, децимации, переноса частот. Основной областью применения микросхемы является построение навигационной аппаратуры различной сложности. В разрабатываемой навигационной аппаратуре микросхема взаимодействует с устройством ввода цифровой информации с скоростью обработки от 2 до 100 Мега выборок в секунду.

## 1.3 Основные технические возможности микросхемы интегральной RFL1

Микросхема имеет следующие технические возможности:

- одновременный приём радиосигналов навигационных систем GPS (Galileo) и ГЛОНАСС диапазона L1;
- один синтезатор частоты, работающий в одной из 16-ти частотных полос, для компенсации технологического ухода полосы квадратурного генератора;
- возможно применение как внешнего, так и интегрированного фильтров системы фазовой автоматической подстройки частоты (ФАПЧ);
- приём радиосигналов осуществляется с одним преобразованием частоты;
- интегрированные активные и пассивные полифазные фильтры с подавлением зеркального канала приема;
- фиксированные промежуточные частоты 13,2 МГц (ГЛОНАСС) и 13,38 МГц (GPS/Galileo);

- аналоговый и цифровой вывод сигналов на промежуточной частоте (ПЧ);
- управление микросхемой через регистровый файл последовательного цифрового интерфейса;
- встроенный отключаемый цифровой блок обработки данных;
- номинальные напряжения питания 3,3 В и 1,2 В;
- при использовании интегрированных линейных стабилизаторов номиналом 1,2 В, возможно питание от одного источника 3,3 В.
- рабочий температурный диапазон от минус 40 до 85 °С.

## 2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ МИКРОСХЕМЫ ИНТЕГРАЛЬНОЙ RFL1

### 2.1 Структурная схема микросхемы RFL1

Структурная схема микросхемы приведена на рисунке 2.1. В состав микросхемы входят следующие составные части:

- 1) Входной высокочастотный тракт, состоящий из:
  - а) подключаемого малошумящего усилителя (МШУ) – LNA0;
  - б) встроенного малошумящего усилителя – LNA1;
  - в) квадратурного смесителя.
- 2) Синтезатор частоты, включающий в себя:
  - а) квадратурный генератор управляемый напряжением – QVCO;
  - б) два делителя системы ФАПЧ – FRC\_DIV\_PLL, FRC\_DIV\_ADC;
  - в) система ФАПЧ с цифровым управлением – PLL;
  - г) буфер опорного тактового сигнала с предделителем – TCXO\_DIV.
- 3) Два тракта ПЧ, в состав каждого из которого входят:
  - а) пассивный и активный полифазные фильтры – Passive PPF, Active PPF соответственно;
  - б) усилитель ПЧ (УПЧ) с регулируемым коэффициентом передачи – VGA;
  - г) аналого-цифровой преобразователь (АЦП) – ADC.
- 4) Блок формирования выходных данных:
  - а) блок цифровой обработки (БЦО) – DIG;
  - б) мультиплексор выходных данных.
- 5) Система питания:
  - а) стабилизатор напряжения питания блоков ФАПЧ, генератора QVCO – LDO\_PLL;
  - б) стабилизатор напряжения питания АЦП трактов ПЧ – LDO\_ADC;
  - в) стабилизатор напряжения питания цифровой части микросхемы – LDO\_DIG;
  - б) источник опорных токов – IREF.
- 6) Блок управления микросхемой через регистровый файл доступный по последовательному интерфейсу.

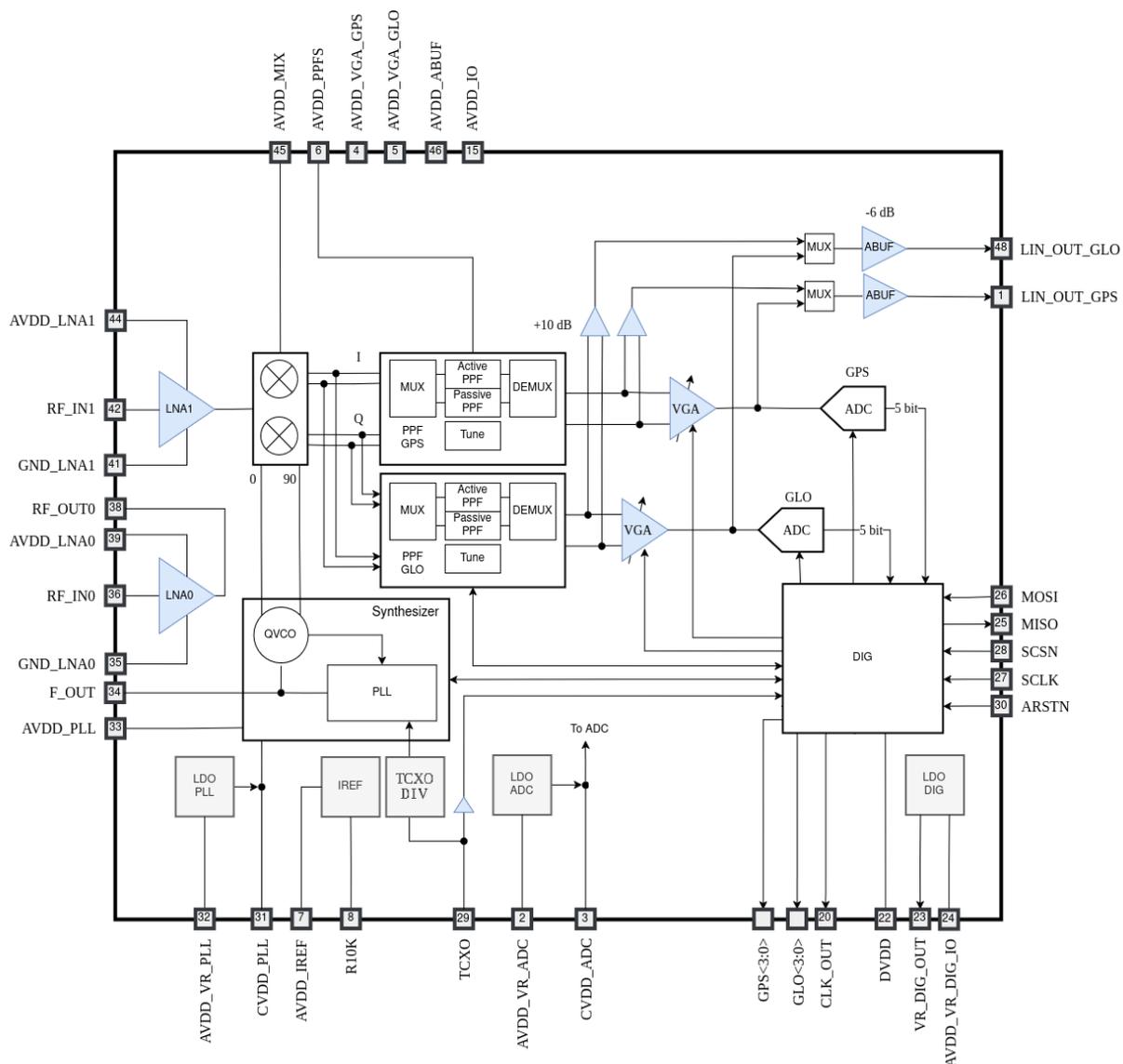


Рисунок 2.1. Структурная схема микросхемы

## 2.2 Обобщенный принцип работы микросхемы

Усиленный широкополосный радиосигнал с выхода LNA1 поступает на квадратурный смеситель, гетеродином которого является квадратурный генератор, управляемый напряжением петли ФАПЧ. Частота гетеродина выбрана приблизительно равноудаленной от центров диапазонов GPS L1, GLO L1, что поясняется Рисунок 2.2.

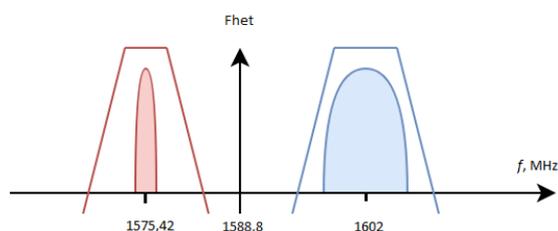


Рисунок 2.2. Частотный план приема

После переноса частот в ноль, с выхода смесителя сигналы подаются на полифазные фильтры, выделяющие из квадратурного сигнала составляющие из «отрицательных» частот в канал GPS, из «положительных» частот в канал GLO. Сигналы с выходов фильтров поступают на регулируемые системой автоматической регулировки усиления (АРУ) усилители промежуточной частоты (УПЧ).

С УПЧ каналов действительный сигнал оцифровывается АЦП с пяти-битным «термометрическим» выходным кодом. С выхода АЦП каналные цифровые сигналы поступают в цифровую часть микросхемы. В цифровой части микросхемы цифровые сигналы каналов после преобразования кодировки могут быть выведены сразу на выходы микросхемы GLO[0..3], GPS[0..3] в действительном виде. При необходимости снизить скорости потоков, скорректировать амплитудно-частотные искажения каналов, дополнительно отфильтровать сигналы, преобразовать в комплексную форму с переносом на около нулевую промежуточную частоту – в микросхеме предусмотрен блок цифровой обработки (БЦО). С выхода БЦО, в зависимости от его настроек, можно вывести на выходы микросхемы GLO[0..3], GPS[0..3] сигналы в форме GPS[2bits I & Q], GLO[2bits I & Q], одновременно, либо только GPS[4bits I & Q], либо только GLO[4bits I & Q].

## 2.3 Внешние выводы микросхемы

Назначение и наименование выводов микросхемы приведены в таблице 2.1.

Таблица 2.1. Назначение внешних выводов микросхемы

Номер вывода	Тип вывода	Обозначение вывода	Назначение
1	OA	LIN_OUT_GPS	Выход буфера тракта ПЧ канала GPS
2	U	AVDD_VR_ADC	Вход стабилизатора питания АЦП тракта ПЧ 3,3 В
3	U	CVDD_ADC	Питание АЦП тракта ПЧ / выход стабилизатора питания АЦП тракта ПЧ 1,2 В
4	U	AVDD_VGA_GPS	Питание УПЧ канала GPS 3,3В

Номер вывода	Тип вывода	Обозначение вывода	Назначение
5	U	AVDD_VGA_GLO	Питание УПЧ канала GLO 3,3В
6	U	AVDD_PPFS	Питание полифазных фильтров тракта ПЧ 3,3 В
7	U	AVDD_IREF	Питание источника опорных токов 3,3 В
8	OA	R10K	Подключение внешнего 10 кОм сопротивления для задания опорного тока $1 \text{ В}/10 \text{ кОм} = 100 \text{ мкА}$
9	I/OA	N.U.	Не используется, подключить к общей цепи
10	U	N.U.	Не используется, оставить свободным
11	OD_Z	GPS0	Данные канала GPS, бит 0
12	OD_Z	GPS1	Данные канала GPS, бит 1
13	OD_Z	GPS2	Данные канала GPS, бит 2
14	OD_Z	GPS3	Данные канала GPS, бит 3
15	U	AVDD_IO	Питание цифровых I/O буферов 3,3 В
16	OD_Z	GLO0	Данные канала GLO, бит 0
17	OD_Z	GLO1	Данные канала GLO, бит 1
18	OD_Z	GLO2	Данные канала GLO, бит 2
19	OD_Z	GLO3	Данные канала GLO, бит 3
20	OD_Z	CLK_OUT	Тактовый сигнал цифровых данных каналов GPS и GLO
21	-	N.C.	Не подключено
22	U	DVDD	Питание цифровой части микросхемы 1,2 В
23	OA	VR_DIG_OUT	Выход стабилизатора питания цифровой части микросхемы 1,2 В
24	U	AVDD_VR_DIG_I O	Вход стабилизатора цифровой части микросхемы, питание цифровых I/O буферов 3,3 В
25	OD_Z	MISO	Выход последовательных данных.
26	ID	MOSI	Вход последовательных данных.
27	ID	SCLK	Тактовый сигнал последовательных данных
28	ID	SCSN	Вывод включения интерфейса последовательных данных. Низкий уровень активизирует интерфейс. В микросхеме подтянут к питанию.
29	ID/A	TCXO	Тактовый сигнал опорного источника
30	ID	ARSTN	Системный сброс микросхемы низким уровнем. В микросхеме подтянут к питанию.
31	U	CVDD_PLL	Вывод питания ФАПЧ, QVCO / выход стабилизатора питания ФАПЧ, QVCO 1,2 В
32	U	AVDD_VR_PLL	Вход стабилизатора напряжения ФАПЧ, QVCO 3,3 В

Номер вывода	Тип вывода	Обозначение вывода	Назначение
33	U	AVDD_PLL	Вывод питания ФАПЧ 3,3 В
34	I/OA	F_OUT	Подключение внешнего фильтра ФАПЧ
35	G	GND_LNA_0	Сигнальная земля LNA0
36	IA	RF_IN_0	Вход LNA0
37	G	GND_LNA_0	Сигнальная земля LNA0
38	OA	RF_OUT_0	Выход LNA0
39	U	AVDD_LNA_0	Питание LNA0 3,3 В
40	-	N.C.	Не подключено
41	G	GND_LNA_1	Сигнальная земля LNA1
42	IA	RF_IN_1	Вход LNA1
43	G	GND_LNA_1	Сигнальная земля LNA1
44	U	AVDD_LNA_1	Питание LNA1 3,3 В
45	U	AVDD_MIX	Питание смесителя 3,3 В
46	U	AVDD_ABUF	Питание буферов тракта ПЧ 3,3 В
47	-	N.C.	Не подключено
48	OA	LIN_OUT_GLO	Выход буфера тракта ПЧ канала GLO
-	G	EP	Площадка под корпусом микросхемы для низкоиндуктивного соединения с общим полигоном печатной платы
<p>Примечание - принятые обозначения типов выводов:</p> <p>ID – вход цифровой,  IA – вход аналоговый,  OD – выход цифровой,  OA – выход аналоговый,  ID/OD – вход/выход цифровой,  IA/OA – вход/выход аналоговый,  ID/OD_Z – вход/выход цифровой с состоянием «Выключено»,  OD_Z – выход цифровой с состоянием «Выключено»,  U – напряжение питания,  G – общий.</p>			

## 2.4 Условное графическое обозначение микросхемы

Условное графическое обозначение микросхемы приведено на Рисунок 2.3.

1	LIN_OUT_GPS	DEV	LIN_OUT_GLO	48
2	AVDD_VR_ADC		NC	47
3	CVDD_ADC		AVDD_ABUF	46
4	AVDD_VGA_GPS		AVDD_MIX	45
5	AVDD_VGA_GLO		AVDD_LNA_1	44
6	AVDD_PPFS		GND_LNA_1	43
7	AVDD_IREF		RF_IN_1	42
8	R10K		GND_LNA_1	41
9	NU		NC	40
10	NU		AVDD_LNA_0	39
11	GPS0		RF_OUT_0	38
12	GPS1		GND_LNA_0	37
13	GPS2		RF IN 0	36
14	GPS3		GND_LNA_0	35
15	AVDD_IO		F_OUT	34
16	GLO0		AVDD_PLL	33
17	GLO1		AVDD_VR_PLL	32
18	GLO2		CVDD_PLL	31
19	GLO3		ARSTN	30
20	CLK_OUT		TCXO	29
21	NC		SCSN	28
22	DVDD		SCLK	27
23	VR_DIG_OUT		MOSI	26
24	AVDD_VR_DIG_IO		MISO	25

Рисунок 2.3. Условное графическое обозначение микросхемы

### 3. ОПИСАНИЕ СОСТАВНЫХ ЧАСТЕЙ МИКРОСХЕМЫ RFL1

#### 3.1 Входной высокочастотный тракт

Входной высокочастотный тракт, в соответствии с описанием, приведенным в подразделе 2.1, состоит из: двух МШУ – LNA0, LNA1 и квадратурного смесителя.

МШУ предназначены для усиления сигнала, принятого антенной, с минимальным вносимым шумом и наибольшим коэффициентом усиления для снижения влияния шумов последующих каскадов. В микросхеме реализованы два МШУ:

- а) подключаемый малошумящий усилитель LNA0 может использоваться, как дополнительный МШУ при работе от пассивной антенны. Вход и выход LNA0 выведены на внешние выводы микросхемы;
- б) встроенный малошумящий усилитель LNA1, является основным МШУ микросхемы при работе от активной антенны с коэффициентом усиления от 15 до 30 дБ, либо от внешнего МШУ. Выход LNA1 подключен к квадратурному смесителю.

Оба МШУ реализованы по каскадной резонансной схеме с общим истоком (ОИ).

Квадратурный смеситель предназначен для переноса принимаемого сигнала из высокочастотной области на ПЧ с применением квадратурного преобразования. Схема смесителя основана на ячейке Гилберта. Преобразование не дифференциального сигнала МШУ в дифференциальный токовый сигнал осуществляется посредством использования двух схем включения транзисторов: «общий исток» и «общий затвор». Высокочастотный сигнал гетеродина подается на квадратурный смеситель с выхода синтезатора частоты.

#### 3.2 Синтезатор частоты

В соответствии с подразделом 2.1 синтезатор частоты включает в себя:

- а) квадратурный генератор, управляемый напряжением – QVCO;
- б) два делителя системы ФАПЧ – FRC\_DIV\_PLL, FRC\_DIV\_ADC;
- в) систему ФАПЧ с цифровым управлением – PLL;
- г) делитель опорного тактового сигнала – TCXO\_DIV.

Квадратурный генератор, управляемый напряжением, выполняет функцию гетеродина для квадратурного смесителя, генерируя сигналы с номинальным значением частоты 1588,8 МГц. Для компенсации сдвига частоты генерации при изменении технологических параметров в квадратурном генераторе предусмотрены 16 частотных полос, используемых

при калибровке генератора. Для получения номинального значения частоты генерации, одну из частотных полос можно выбрать задав значение поля «PLL\_BAND» регистра PLL\_CTRL. Регулирующее работу квадратурного генератора напряжение формируется системой ФАПЧ с цифровым управлением.

На систему ФАПЧ заводятся два сигнала:

- а) с выхода делителя опорного тактового сигнала. Входным сигналом для делителя опорного тактового сигнала является сигнал на выводе TCXO микросхемы. На данный вывод микросхемы возможна подача, как синусоидального аналогового тактового сигнала, так и дискретного сигнала с КМОП уровнями.
- б) с делителя частоты квадратурного генератора FRC\_DIV\_PLL. Целая часть коэффициента деления частоты квадратурного генератора задается регистром PLL\_DIV\_INT\_PART, дробная часть задается регистром PLL\_DIV\_FRAC\_PART. Использование делителя в дробном режиме при приеме и обработке радиосигналов систем GPS, GLO диапазона L1 не рекомендуется.

Выходной сигнал системы ФАПЧ может быть отфильтрован фильтром. Для этого в микросхеме предусмотрен внутренний фильтр. К выводу микросхемы F\_OUT может быть также подключен внешний фильтр. Выбор типа фильтра осуществляется полем «PLL\_EXTFLT» регистра PLL\_CTRL. Ток накачки внутреннего фильтра системы ФАПЧ 50 мкА, а внешнего фильтра устанавливается полем «PLL\_I» регистра PLL\_CTRL.

### 3.3 Тракт промежуточной частоты

#### 3.3.1 Состав тракта промежуточной частоты

С выхода квадратурного смесителя высокочастотного тракта квадратурные сигналы подаются в два канала промежуточной частоты:

- а) канал приема сигналов системы GPS (далее канал GPS);
- б) канал приема сигналов системы ГЛОНАСС (далее канал GLO).

Состав каждого из каналов идентичен и в соответствии с подразделом 2.1 включает в себя:

- а) пассивный и активный полифазные фильтры – Passive PPF, Active PPF соответственно;
- б) усилитель ПЧ с регулируемым коэффициентом передачи – VGA;
- в) аналого-цифровой преобразователь – ADC.

### 3.3.2 Полифазные фильтры

Полифазные фильтры позволяют выделить частоты выше или ниже частоты гетеродина, в зависимости от настроек обратных связей. Полифазный фильтр канала GPS выделяет частоты ниже частоты гетеродина, канала GLO выше частоты гетеродина. В микросхеме реализованы два типа полифазных фильтров – активные и пассивные. Активные полифазные фильтры построены по архитектуре RC-ОРА, пассивные на RC элементах с возможностью подключения активного фильтра нижних частот (ФНЧ). Выбор используемого в канале GPS типа полифазного фильтра осуществляется битовыми полями «PPFS\_PD\_P\_GPS», «PPFS\_PD\_GPS» регистра ANALOG\_CTRL. В канале GLO тип полифазного фильтра задается битовыми полями «PPFS\_PD\_P\_GLO», «PPFS\_PD\_GLO» регистра ANALOG\_CTRL.

Активный полифазный фильтр канала GPS построен на основе ФНЧ прототипа Баттерворта 2-го порядка и имеет центральную частоту 13,3 МГц с полосой пропускания 4,6 МГц. Активный полифазный фильтр канала GLO, построен на основе ФНЧ прототипа Баттерворта 3-го порядка и имеет центральную частоту 13,3 МГц с полосой пропускания 9,9 МГц. Графики амплитудно-частотной характеристики (АЧХ) и группового времени задержки (ГВЗ) активного полифазного фильтра канала GPS приведены на рисунке 3.1. На рисунке 3.2 приведены графики АЧХ и ГВЗ активного полифазного фильтра канала GLO.

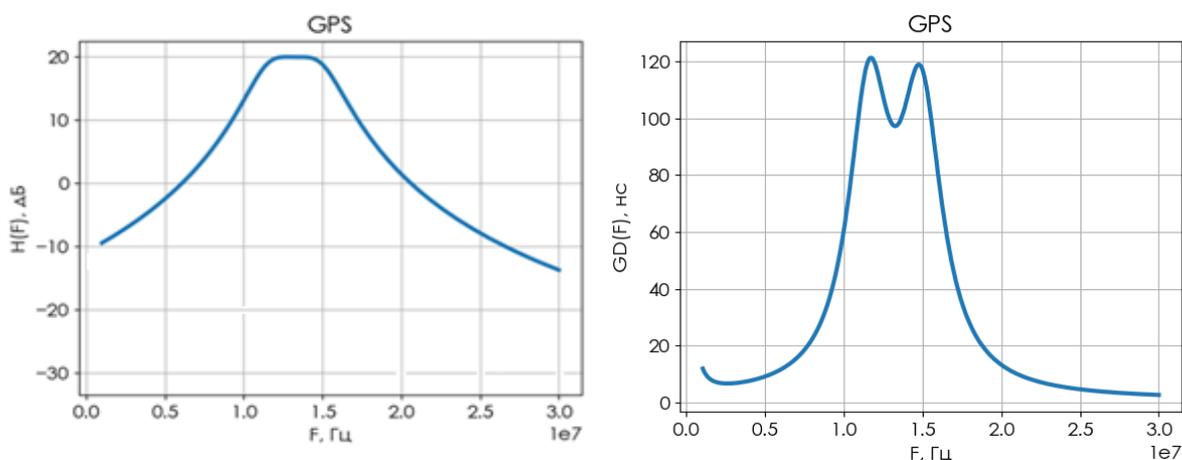


Рисунок 3.1. АЧХ и ГВЗ активного полифазного фильтра канала GPS

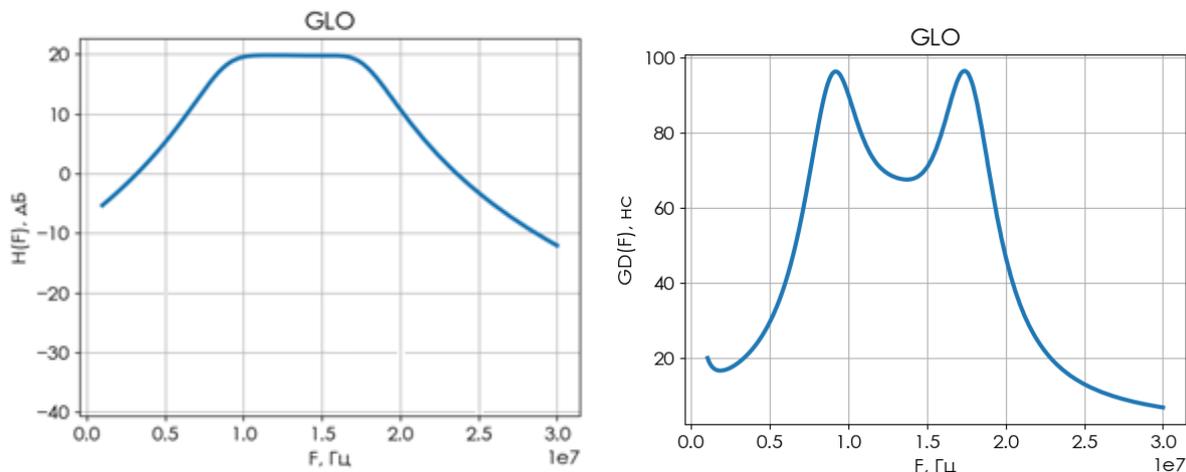


Рисунок 3.2. АЧХ и ГВЗ активного полифазного фильтра канала GLO

Активные полифазные фильтры каналов GPS, GLO имеют в своем составе блоки автоматической и ручной подстройки параметров элементов фильтров для компенсаций технологических и температурных отклонений. Блоки подстройки тактируются выходным сигналом синтезатора частоты, деленным на 100. После завершения процедуры подстройки рекомендуется сбрасывать делитель на 100 полем «PLL\_DIV100\_RESETN» регистра ANALOG\_CTRL. Питание схемы автоматической подстройки может быть отключено полем «PPFS\_PD\_T\_GPS» регистра ANALOG\_CTRL для фильтра канала GPS и полем «PPFS\_PD\_T\_GLO» для фильтра канала GLO. При отключенной схеме подстройки возможна ручная подстройка установкой значений в поле «PPF\_CAL» регистра PPF\_CAL\_GPS для фильтра канала GPS и установкой значений в поле «PPF\_CAL» регистра PPF\_CAL\_GLO для фильтра канала GLO.

Конфигурация работы пассивных полифазных фильтров с активным ФНЧ или без него, определяется полем «PPFS\_EN\_F\_GPS» регистра ANALOG\_CTRL для канала GPS и полем «PPFS\_EN\_F\_GLO» для канала GLO.

### 3.3.3 Усилитель ПЧ

Усилитель ПЧ состоит из последовательно соединённых усилителя с регулируемым коэффициентом усиления и пост-усилителя с фиксированным усилением 9,5 дБ. Усилитель с регулируемым коэффициентом усиления имеет дифференциальный вход и выход, и управляется цифровым 6-разрядным кодом от системы АРУ с шагом перестройки около 0,7 дБ. Коэффициент усиления также можно задать вручную. Для этого необходимо отключить АРУ полем «GPS\_AGC\_MODE» регистра COMMON\_CTRL для канала GPS, для канала GLO полем «GLO\_AGC\_MODE» регистра COMMON\_CTRL. После этого необходимые коэффициенты усиления можно установить полем «GAIN\_GPS» регистра

AGC\_GAIN для канала GPS и полем «GAIN\_GLO» регистра AGC\_GAIN для канала GLO. Пост-усилитель представляет собой усилитель разности с коэффициентом усиления 0 дБ, преобразующий дифференциальный сигнал усилителя с регулируемым коэффициентом усиления в однофазный сигнал, и инвертирующий активный ФВЧ с усилением 9,5 дБ. Сигнал с выхода УПЧ поступает на АЦП и аналоговый буфер канала для вывода сигнала на нагрузку сопротивлением 50 Ом.

### 3.3.4 Аналого-цифровой преобразователь тракта ПЧ

В каждом из каналов тракта ПЧ используется параллельный АЦП построенный на пяти инверторах со смещенными пороговыми напряжениями переключения (Threshold Inverter Quantization – TIQ comparator) с шагом 40 мВ. Три компаратора основных, два дополнительных для определения перегрузки. В результате АЦП может работать, как 2-битный с апертурой 160 мВ, или 2,5-битный с апертурой 240 мВ. Уровень нуля АЦП формируется копией среднего инвертора-компаратора с замкнутыми входом и выходом. Выходной код АЦП – термометрический («00000», «00001», «00011», «00111», «01111», «11111»).

## 3.4 Автоматическая регулировка усиления

Блок-схема работы подсистемы АРУ в канале GPS микросхемы приведена на рисунке 3.3. Для канала GLO подсистема АРУ выглядит аналогичным образом за исключением названий управляющих регистров и источника входных данных. Различия в каналах будут указаны ниже по тексту в скобках.

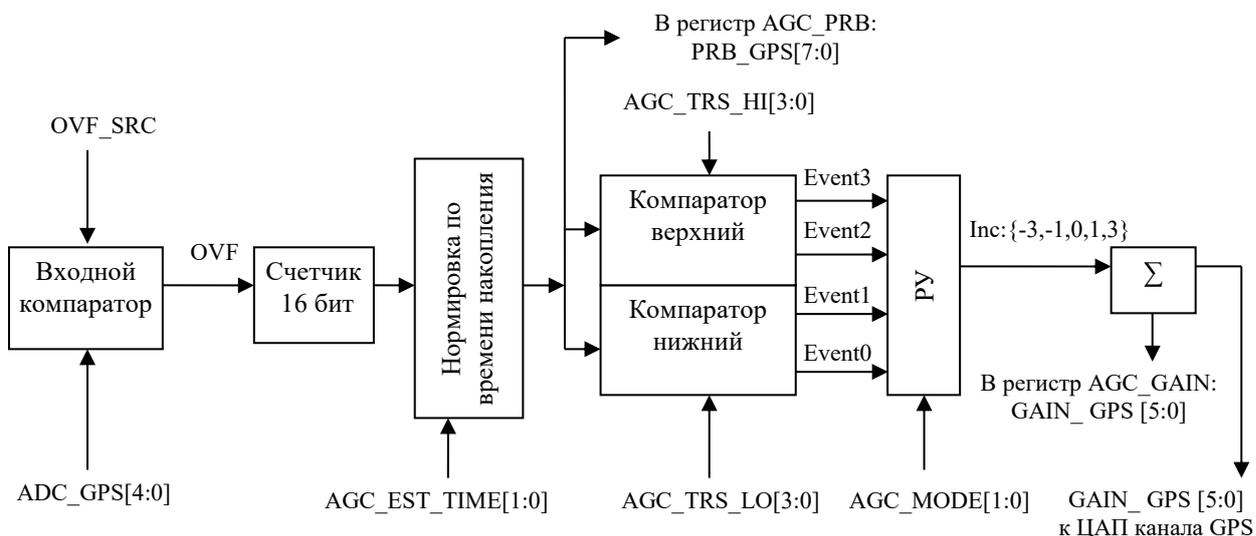


Рисунок 3.3. Автоматическая регулировка усиления в канале GPS

С выхода АЦП канала GPS (GLO) 5-ти битный термометрический код ADC\_GPS[4:0] (ADC\_GLO[4:0]) поступает на входной компаратор, формирующий импульсы перегрузки

«OVF» путем сравнения кода АЦП с пороговыми значениями снизу и сверху. Пороговые значения компаратора зависят от значения бита «OVF\_SRC» регистра AGC\_GPS\_PARAM канала GPS (AGC\_GLO\_PARAM канала GLO). Если OVF\_SRC = 0, то сигнал «OVF» формируется, если код АЦП равен ADC\_GPS[4:0] = «00000» (ADC\_GLO[4:0] = «00000») или ADC\_GPS[4:0] = «11111» (ADC\_GLO[4:0] = «11111»). При установке бита OVF\_SRC = 1, сигнал «OVF» формируется, если код АЦП ADC\_GPS[4:0] ≤ «00001»

(ADC\_GLO[4:0] ≤ «00001») или ADC\_GPS[4:0] ≥ «01111» (ADC\_GLO[4:0] ≥ «01111»).

С выхода компаратора импульсы перегрузки «OVF» подсчитываются 16-ти битным счетчиком на интервале накопления T<sub>EST</sub> задаваемом битами «AGC\_EST\_TIME[1:0]» регистра AGC\_GPS\_PARAM канала GPS (AGC\_GLO\_PARAM канала GLO). Общий период работы АРУ состоит из определенного числа циклов длительностью T<sub>EST</sub> задаваемого битами «AGC\_PERIOD» регистра AGC\_GPS\_PARAM канала GPS (AGC\_GLO\_PARAM канала GLO). Активным циклом измерения является первый цикл из общего периода. Применение поправки по усилению осуществляется сразу по окончании цикла измерения. Остальные циклы решающее устройство простаивает.

Для дальнейшей оценки вероятности перегрузки канала, 16-ти битный результат подсчета импульсов перегрузки счетчиком, нормируется с насыщением по интервалу накопления T<sub>EST</sub>. Данная зависимость от времени накопления отражена в таблице 3.1.

**Таблица 3.1. Время накопления импульсов перегрузки, нормировка по времени**

Значения битов AGC_EST_TIME[1:0]	Время накопления в отсчетах АЦП, (T <sub>EST</sub> )	Время накопления в секундах при ADC_CLK = 50 МГц	Биты счетчика используемые для оценки
0	1*1024 отсчета	21 мкс	[7:0]
1	4*1024 отсчета	82 мкс	[9:2]
2	16*1024 отсчета	328 мкс	[13:6]
3	64*1024 отсчета	1,3 мс	[15:8]

Нормировка по интервалу накопления осуществляется мультиплексором, выделяющим 9 бит в соответствии с максимальным накапливаемым значением, анализируется старший бит. При единичном значении старшего бита младшие 8 бит устанавливаются в 1. При накоплении потенциально возможное значение выхода мультиплексора может равняться «1 0000 0000». При этом оно приводится к значению «1111 1111». Полученные младшие 8 бит результата накопления, биты «PRB\_GPS[7:0]» канала GPS (биты «PRB\_GLO[7:0]» канала GLO), доступны в регистре AGC\_PRB на чтение. Это беззнаковое число, отражающее вероятность перегрузки. Значение «1111 1111» соответствует приблизительно 100% перегрузке. Полученное значение сравнивается с четырьмя порогами, два из которых фиксированы, а два задаются пользователем. Поле «AGC\_TRS\_HI[3:0]» регистра AGC\_GPS\_PARAM канала GPS (AGC\_GLO\_PARAM канала GLO) расширяется нулем сверху до 5 бит и сравнивается с 5 старшими битами вероятности перегрузки. При этом

AGC\_TRS\_HI = «1111» соответствует приблизительно 50% вероятности перегрузки, одно дискретное изменение соответствует порядка 3%. Аналогично производится сравнение с порогом задаваемым полем «AGC\_TRS\_LO[3:0]» регистра AGC\_GPS\_PARAM канала GPS (AGC\_GLO\_PARAM канала GLO). Два фиксированных порога TRS\_MAX и TRS\_MIN соответствуют AGC\_TRS\_HI = «1111» и AGC\_TRS\_LO = «0000».

Выходы компараторов верхнего и нижнего уровней отражают 4 события EVENT[3:0]:

- EVENT3 соответствует PRB >= TRS\_MAX;
- EVENT2 соответствует PRB >= AGC\_TRS\_HI;
- EVENT1 соответствует PRB <= AGC\_TRS\_LO;
- EVENT0 соответствует PRB <= TRS\_MIN.

В зависимости от события и режима работы АРУ задаваемого битами «GPS\_AGC\_MODE[1:0]» регистра COMMON\_CTRL канала GPS (битами «GLO\_AGC\_MODE[1:0]» канала GLO) варьируется инкремент усиления решающего устройства (обозначенного как РУ на рисунке 3.3). При FAST AGC разрешается быстрая подстройка усиления с большим шагом - при PRB >= TRS\_MAX или PRB <= TRS\_MIN устанавливается шаг изменения 3, если знаки текущего и предыдущего измерения совпадают, в противном случае шаг изменения равен 1. Это позволяет избежать «возбуждения» АРУ, связанного с перерегулированием в петле. Алгоритм работы решающего устройства отображен в таблице 3.2.

**Таблица 3.2. Алгоритм работы решающего устройства**

EVENT[3:0]	Описание события	Режимы работы АРУ	
		SLOW	FAST
1100	Вероятность перегрузки >50%	-1	- 3, если предыдущее значение было 0 или с отрицательным знаком, в противном случае – минус 1.
0100	Вероятность перегрузки больше заданного порога, но менее 50%	-1	-1
0000	Вероятность перегрузки лежит в заданных пределах	0	0
0010	Вероятность перегрузки меньше заданного порога, но не менее ~1,5%	+1	+1
0011	Вероятность перегрузки меньше ~1,5%	+1	+3 если предыдущее значение было 0 или с положительным знаком, в противном случае – плюс 1.

Остальные состояния являются ошибочными вследствие неправильной установки порогов пользователя AGC\_TRS\_LO ≥ AGC\_TRS\_HI. Такая ситуация игнорируется. Инкремент при этом устанавливается в ноль.

По окончании рабочего цикла вырабатывается 3-битный сигнал инкремента и строб сопровождения DV в случае АРУ. В ручном режиме управления строб DV не вырабатывается.

Шаг усиления накапливается в интеграторе по сигналу DV. Интегратор работает с насыщением. В интегратор может быть записано значение «GAIN\_GPS» регистра AGC\_GAIN для канала GPS («GAIN\_GLO» регистра AGC\_GAIN для канала GLO) по событию записи значения в регистр. Приоритетным по отношению к интегрированию является запись из регистра. Операция чтение поля «GAIN\_GPS» регистра AGC\_GAIN для канала GPS («GAIN\_GLO» регистра AGC\_GAIN для канала GLO) из регистра возвращает актуальное значение сигнала управления ЦАП.

Режимы работы АРУ задаются полем «GPS\_AGC\_MODE» регистра COMMON\_CTRL для канала GPS, для канала GLO полем «GLO\_AGC\_MODE» регистра COMMON\_CTRL (далее перечисленные поля заменены выражением «AGC\_MODE»):

- а) «AGC\_MODE» = «00» - блокирует (останавливает) работу алгоритмов оценки и автоматической подстройки для уменьшения потребления. Алгоритм оценки приводится в начальное состояние, аналогично сбросу. Значение «GAIN\_GPS» регистра AGC\_GAIN для канала GPS («GAIN\_GLO» регистра AGC\_GAIN для канала GLO), подаваемое на ЦАП УПЧ «замораживается». То есть управление ЦАП не сбрасывается в начальное состояние или не приводится к значению, хранящемуся в регистре AGC\_GAIN, если до этого был включен автоматический режим коррекции – сохраняется текущее значение. Событие записи в регистр AGC\_GAIN устанавливает записанное значение на шину управления ЦАП УПЧ. То есть выход из режимов автоматической регулировки (выход из «AGC\_MODE» = «10» и «AGC\_MODE» = «01») не приводит к скачку усиления в тракте до записи нового значения усиления;
- б) «AGC\_MODE» = «11» - блокирует (останавливает) работу интегратора инкремента, но не блокирует алгоритм оценки. Пользователь может сам считать значение вероятности перегрузки и установить ручную усиление. Аналогично режиму b'00 но не блокируется механизм оценки;
- в) «AGC\_MODE» = «10» и «AGC\_MODE» = «01» – режимы автоматической регулировки;

Сигналы GPS\_AGC\_STABLE и GLO\_AGC\_STABLE вырабатываются логической единицей при EVENT=b'0000 (амплитуда сигнала находится в заданном диапазоне) и изменяется в момент принятия решения.

GPS\_AGC\_EST и GLO\_AGC\_EST вырабатываются импульсом, начало которого совпадает с началом процесса накопления оценки и длительностью, равной половине длительности накопления.

GPS\_AGC\_INC\_SIGN и GLO\_AGC\_INC\_SIGN указывают направление изменения коэффициента усиления при принятии решения. Единица указывает на приращение усиления, ноль - на уменьшение. Значение меняется при принятии решения. Совместно с сигналами AGC\_STABLE дает информацию о стабильности коэффициента усиления.

В случаях, когда дальнейшее изменение значения сигнала усиления невозможно в виду достижения им краевых значений, сигналы ведут себя следующим образом:

- а) для GAIN\_OUT=63 (MAX) при решении компараторов о необходимости увеличения значения GAIN, сигнал GAIN\_OUT не изменяется, вырабатывается сигнал AGC\_STABLE=1 и при этом вырабатывается сигнал AGC\_INC\_SIGN=1, показывающий, что модуль увеличил значение сигнала, если бы позволяла разрядность;
- б) для GAIN\_OUT=0 (MIN) сигнал GAIN\_OUT не изменяется, вырабатывается сигнал AGS\_STABLE=1 и при этом вырабатывается сигнал AGC\_INC\_SIGN=0, показывающий, что модуль уменьшил значение сигнала, если бы позволяла разрядность.

## 3.5 Блок формирования выходных данных

### 3.5.1 Состав блока, назначение

Блок формирования выходных данных подключен к выходам АЦП каналов GPS и GLO, выполняя следующие функции:

- преобразование термометрического кода на выходе канальных АЦП в двоичный код;
- формирование с помощью БЦО потока квадратурных данных с пониженной скоростью;
- подсчет гистограммы уровней выбранного канала;
- коммутация на выходные выводы микросхемы заданных сигналов.

Структурная схема блока приведена рисунке 3.4. По схеме блок формирования выходных данных состоит из следующих компонент: двух блоков кодирования каналов, блока

подсчета гистограммы уровней с мультиплексором выбора канала на входе, блока БЦО, мультиплексора выходных данных.

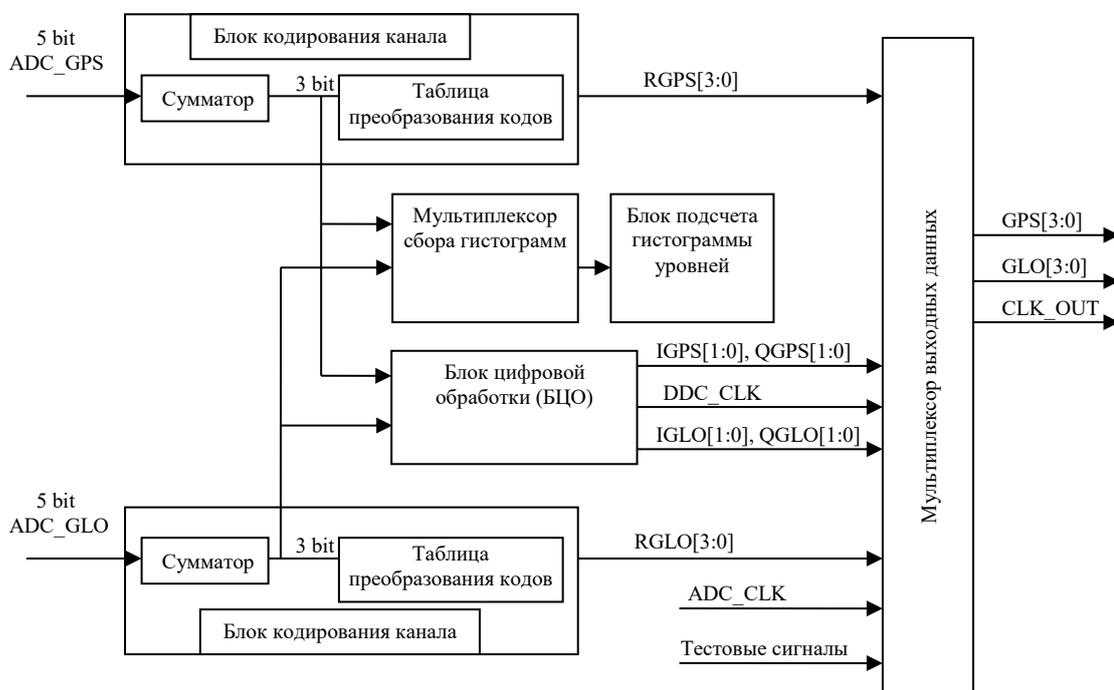


Рисунок 3.4. Структурная схема блока формирования выходных данных

### 3.5.2 Блок кодирования каналов

В блоках кодирования каналов производится преобразование термометрического кода на выходе канальных АЦП в два этапа. На первом этапе пять бит термометрического кода АЦП преобразуются в три бита путем подсчета количества единиц. На втором этапе по 3-х битному сигналу из таблицы преобразования кодов выбирается 4-х битное значение определенное пользователем путем записи в регистры GPS\_CODE\_LUT, GLO\_CODE\_LUT. Процесс преобразования пояснен в Таблице 3.3

Таблица 3.3. Преобразование кодов АЦП каналов GPS, GLO

Кодовые комбинации АЦП, 5 бит	Код на выходе сумматора, 3 бит	Выход канала GPS, RGPS[3:0], 4 бита	Выход канала GLO, RGLO[3:0], 4 бита
1	2	3	4
00000	0	GPS_CODE_LUT[3:0]	GLO_CODE_LUT[3:0]
00001	1	GPS_CODE_LUT[7:4]	GLO_CODE_LUT[7:4]
00011	2	GPS_CODE_LUT[11:8]	GLO_CODE_LUT[11:8]
00111	3	GPS_CODE_LUT[15:12]	GLO_CODE_LUT[15:12]
01111	4	GPS_CODE_LUT[19:16]	GLO_CODE_LUT[19:16]
11111	5	GPS_CODE_LUT[23:20]	GLO_CODE_LUT[23:20]

### 3.5.3 Блок подсчета гистограммы

Блок подсчета гистограммы уровней состоит из 6 счетчиков-интеграторов, подключаясь к одному из каналов GPS или GLO. Каждый из счетчиков подсчитывает количество определённого кода, отображая значения в регистры HYST\_123, HYST\_456. Подсчет начинается по внешней команде – по записи единицы в поле «HIST\_ST» регистра AGC\_GPS\_PARAM канала GPS, регистра AGC\_GLO\_PARAM канала GLO и останавливается по достижении любым из счетчиков максимального значения (255). Бит «HIST\_ST» устанавливается в ноль в обоих каналах при старте снятия гистограмм. По окончании процесса бит «HIST\_ST» устанавливается в единицу в том канале, где происходило заполнение гистограммы уровней. Повторная установка бита «HIST\_ST» в единицу сбрасывает текущее накопление и начинает новое.

### 3.5.4 Блок цифровой обработки

Основное предназначение блока цифровой обработки – снижение скорости цифрового потока в каналах GPS, GLO. Структурная схема блока цифровой обработки отображена на рисунке 3.5. По выполняемым функциям БЦО соответствует классу устройства типа DDC (Digital Down Converter).

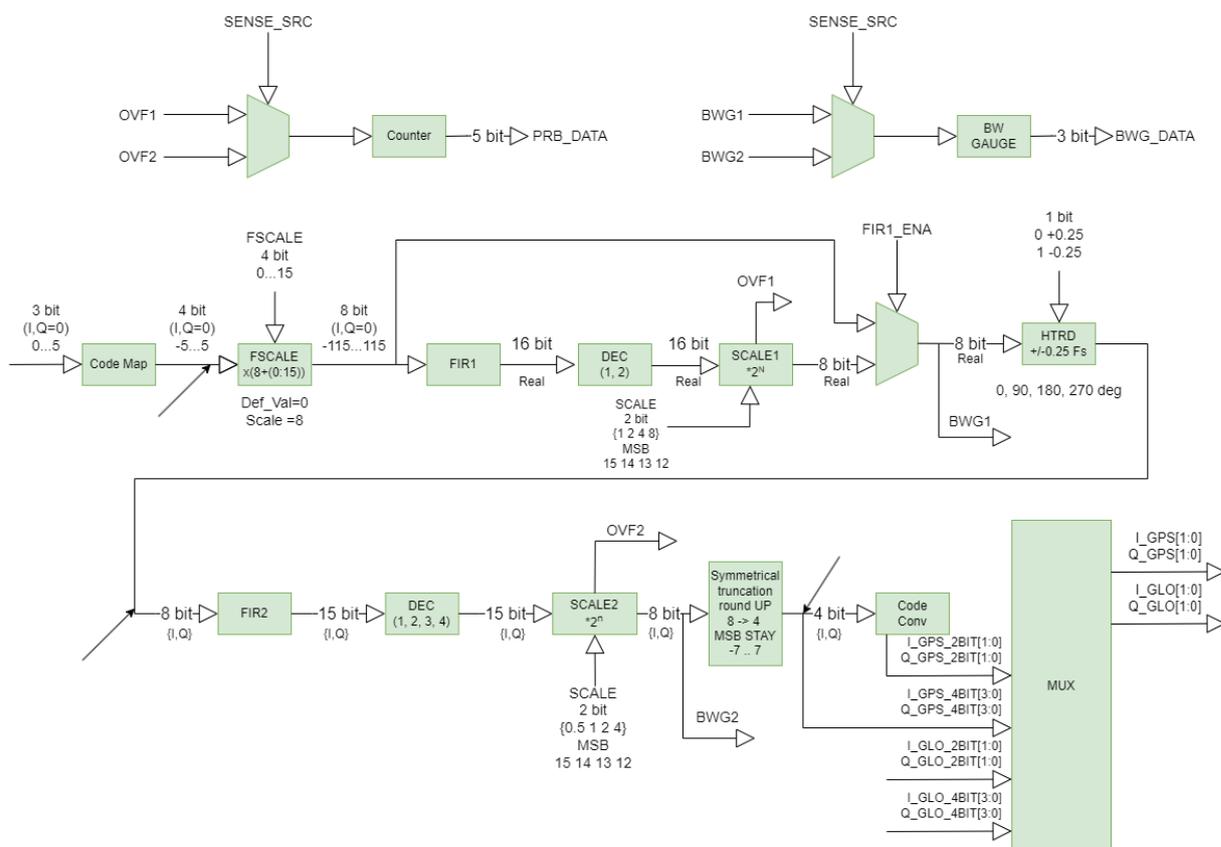


Рисунок 3.5. Структурная схема блока цифровой обработки.

На входе БЦО преобразователем кода «CODE MAP 1» осуществляется преобразование 3-х битного сигнала, описанного в колонке 2 таблицы 3.3 в двоично-дополнительный код. Алгоритм преобразования отображен в таблице 3.4.

**Таблица 3.4. Алгоритм преобразования «CODE MAP 1»**

Код сигнала на входе БЦО, 3 бита	Код сигнала на выходе «CODE MAP 1», 4 бита
000	1011 (-5)
001	1101 (-3)
010	1111 (-1)
011	0001 (1)
0100	0011 (3)
0101	0101 (5)

С выхода преобразователя кода «CODE MAP 1» 4-х битный сигнал с апертурой от минус 5 до плюс 5, поступает на преобразователь уровня «FSCALE», состоящего из умножителя на 4-х битное беззнаковое число (0...15), устройства сдвига на три разряда и сумматора. Таким образом, коэффициент передачи преобразователя «FSCALE» изменяется от восьми до  $(8+15)=23$  и задается полями «FSCALE\_GLO» канала GLO, «FSCALE\_GPS» каналов GPS регистра DDC\_CTRL2. При минимальном коэффициенте передачи равным 8, максимальный диапазон значений на выходе преобразователя находится в диапазоне от минус 40 до 40, при максимальном коэффициенте передачи, равным 23, диапазон значений на выходе составит от минус 115 до 115, таким образом, разрядность сигнала увеличивается до восьми бит.

После преобразователя уровня «FSCALE» 8-ми битный сигнал поступает либо на квадратурный гетеродин «HTRD», либо на фильтр дециматор-корректор АЧХ обозначенный на рисунке 3.5, как FIR1. Выбор осуществляется полем «FIR1\_ENA» регистра DDC\_CTRL1. При установке поля «FIR1\_MODE» регистра DDC\_CTRL1 в «0» выбирается режим фильтрации без децимации, для тактовых частот данных до 50 МГц. При установке поля «FIR1\_MODE» регистра DDC\_CTRL1 в «1» выбирается режим фильтрации с децимацией на 2, для тактовых частот данных близких к 100 МГц. Фильтр дециматор-корректор АЧХ представляет собой симметричный FIR действительного сигнала с нечетным количеством коэффициентов, равным 23. Разрядность коэффициентов фильтра – 8 бит, задаваемых в полях регистров GPS\_DDC\_FIR1\_COEF\_012, GPS\_DDC\_FIR1\_COEF\_345, GPS\_DDC\_FIR1\_COEF\_678, GPS\_DDC\_FIR1\_COEF\_9\_10\_11 для канала GPS и в полях регистров GLO\_DDC\_FIR1\_COEF\_012, GLO\_DDC\_FIR1\_COEF\_345, GLO\_DDC\_FIR1\_COEF\_678, GLO\_DDC\_FIR1\_COEF\_9\_10\_11 для канала GLO. Нормализованная по частоте АЧХ FIR1 для значений коэффициентов фильтра по умолчанию представлена на рисунке 3.6.

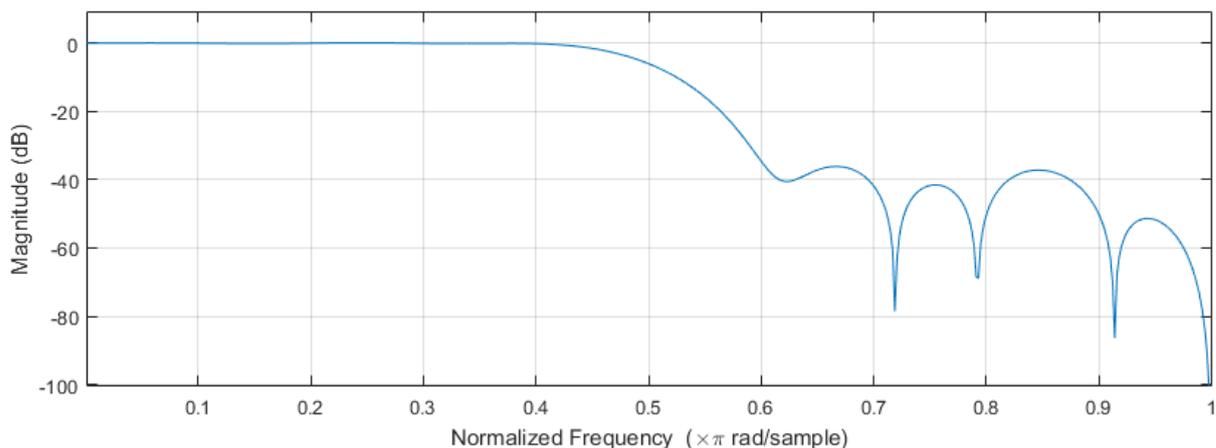


Рисунок 3.6. Нормализованная по частоте АЧХ фильтра FIR1.

Неравномерность фильтра «FIR1» в полосе до 20 МГц с коэффициентами по умолчанию – меньше 0,2 дБ, коэффициент усиления 128. Выходной сигнал фильтра «FIR1» усиливается блоком «SCALE1» пропорционально величинам, записанным в поля «FIR1\_SCLAE1\_GLO» для канала GLO, «FIR1\_SCLAE1\_GPS» для канала GPS регистра DDC\_CTRL2.

После мультиплексора управляемого полем «FIR1\_ENA» регистра DDC\_CTRL1, действительный сигнал поступает на гетеродин обозначенный на рисунке 3.5 как «HTRD». Гетеродин осуществляет гетеродинирование с опорной частотой 0,25 или минус 0,25 в соответствии с установленными полями «GLO\_HTRD\_DIR», «GPS\_HTRD\_DIR» регистра DDC\_CTRL1, для каналов GLO, GPS соответственно. Таким образом, обеспечивается перенос сигнала из положительной или отрицательной области в околонулеву область, а в околонулевой области оказывается расположенным прямой или инверсный (зеркальный) спектр сигнала. Гетеродинирование производится с фазами опорного сигнала 0, 90, 180, 270 градусов и реализовано на мультиплексорах. Входной сигнал гетеродина действительный (Q компонента равна нулю), выходной сигнал – комплексный (компоненты I и Q).

Комплексный сигнал с выхода гетеродина поступает на фильтр «FIR2» (см. рисунок 3.5). Фильтр предназначен для канальной фильтрации и децимации и представляет собой симметричный FIR фильтр комплексного сигнала с четным количеством коэффициентов, равным 24. График нормированной по частоте АЧХ фильтра «FIR2» канала GLO приведен на рисунке 3.7, для канала GPS на рисунке 3.8.

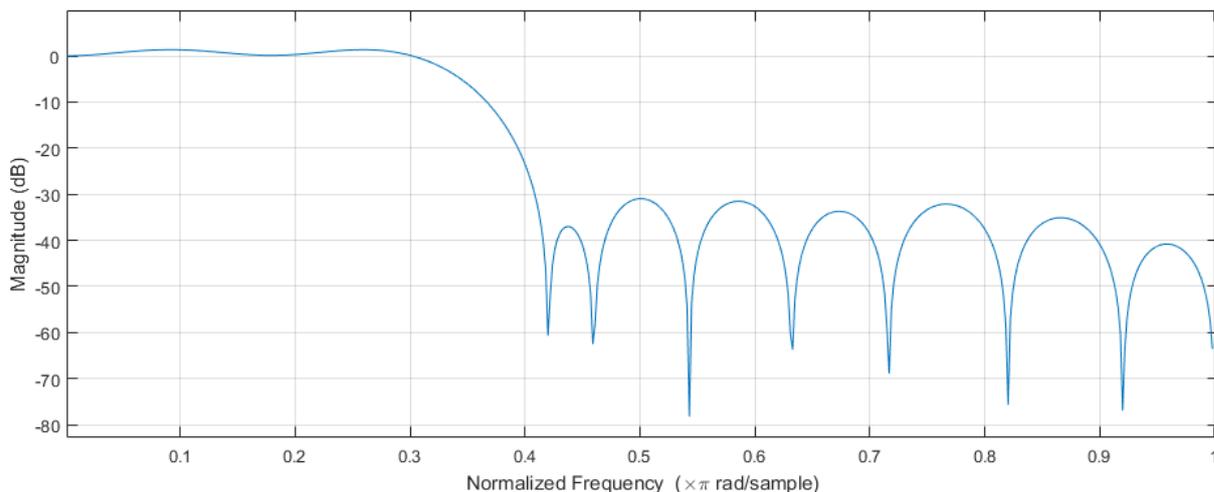


Рисунок 3.7. Нормализованная по частоте АЧХ фильтра FIR2 канала GLO.

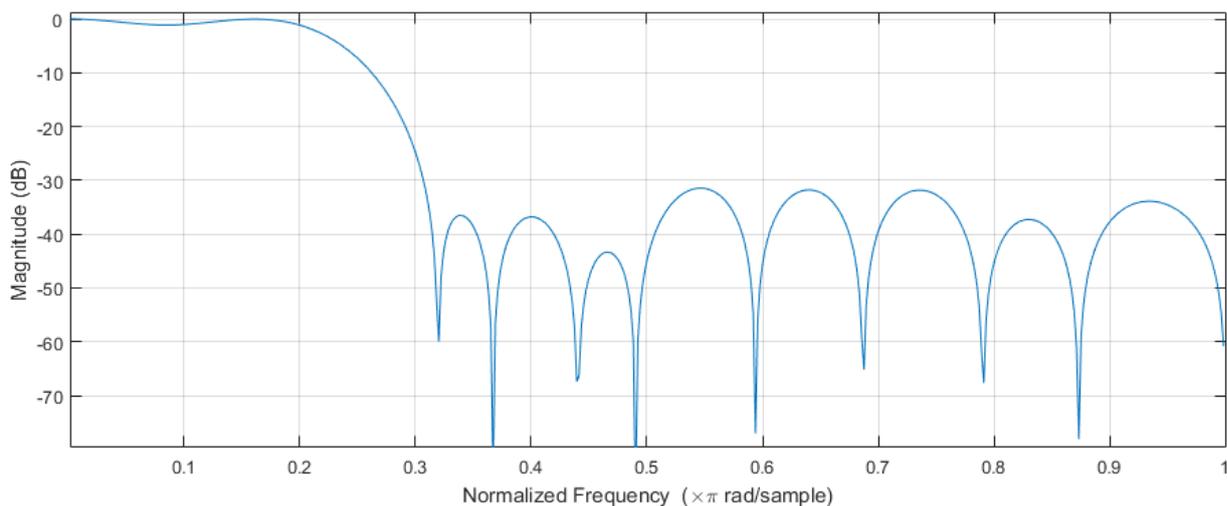


Рисунок 3.8. Нормализованная по частоте АЧХ фильтра FIR2 канала GPS.

Отфильтрованный фильтром «FIR2» сигнал поступает на блок установки «грубого» коэффициента усиления канала «SCALE2» (см. рисунок 3.5). Значения «грубого» коэффициента усиления фиксированы значениями 0,5 1, 2, 4 и определяются полями «SCALE\_GLO», «SCALE\_GPS» регистра DDC\_CTRL2, для каналов GLO, GPS соответственно. Для всего тракта БЦО, изменения «грубого» коэффициента усиления, позволяют задавать усиление или ослабление с шагом 6 дБ. Входная разрядность блока «SCALE2» выравнивается с выходной разрядностью фильтра таким образом, что при подаче номинального сигнала в диапазоне от минус 40 до 40 на вход фильтра и «грубого» коэффициента усиления равно единице, на выходе блока не наблюдаются перегрузки и сигнал занимает всю выходную разрядность.

Блок «SCALE2» ограничивает разрядность выходных данных до 4 бит, путем симметричного ограничения сигнала по значениям b'1001 (минус 7) и b'0111 (плюс 7). При

ограничении сигнала, формируется строб перегрузки «OVF». При разрешенной работе оценщика перегрузки полем «PRB\_ENA» регистра DDC\_CTRL2, стробы «OVF» инкрементируют содержимое счетчика «Counter». Оценка вероятности перегрузки осуществляется путем подсчета количества стробов перегрузки на заданном интервале времени (задается полем EST\_TIME регистра DDC\_CTRL2) с последующим нормированием на длительности интервала. По окончании интервала накопления вероятность перегрузки может быть считана из регистра DDC\_STATE (в поле PRB\_DATA\_GLO располагаются 5 бит вероятности для канала GLO, а в поле PRB\_DATA\_GPS 5 бит вероятности для канала GPS). Выходы сигналов перегрузки I и Q каналов объединяются по логическому «или». Нормирование выходного значения выполняется таким образом, что при постоянном единичном сигнале перегрузки (перегрузка на каждом отсчете) при любом значении длительности накопления выходной сигнал принимает максимальное значение.

В БЦО предусмотрен блок оценки заполняемости разрядной сетки сигнала «BWGAUGE», позволяющий наиболее эффективно использовать динамический диапазон. Работа блока «BWGAUGE» разрешается полем «BWG\_ENA» регистра DDC\_CTRL2. Блок на заданном интервале времени (задается полем «EST\_TME» регистра DDC\_CTRL2 ищет по модулю сигнала с КИХ фильтра, номер разряда «ведущей единицы», т.е. при сканировании от старших разрядов к младшим ищется первый попавшийся разряд не равный нулю. По окончании интервала накопления, номер разряда «ведущей единицы», может быть считан из полей «BWG\_DATA\_GLO», «BWG\_DATA\_GPS» регистра DDC\_STATE для каналов GLO, GPS соответственно.

С выхода блока «SCALE2» 4-х битный комплексный сигнал поступает на блок децимации (прореживания) данных и выходного тактового сигнала «DEC». Децимация осуществляется защелкиванием в выходной регистр каждого первого, каждого второго, третьего или четвертого отсчетов. Коэффициент децимации задается полем «KDEC» регистра DDC\_CTRL1. Выходной тактовый сигнал блока БЦО «CLKOUT», также прореживается. При децимации в 2 и 4 раза тактовый сигнал имеет равную длительность единичной и нулевой фазы. При децимации в 3 раза первая фаза сигнала имеет длительность на один такт больше второй. Сигнал «CLKOUT» маркирует выходные данные, т.е. до первого выходного отсчёта «CLKOUT» отсутствует.

Выходной сигнал блока «DEC» поступает на блок выходного преобразования кода «CODE MAP 2». Блок осуществляет конвертацию 4-битного двоично-дополнительного кода в 2-битное при помощи LookUpTable таблицы (LUT). Таблица LUT задается следующим образом. Старший бит выходного двухбитного числа кодируется в соответствии со знаком входного 4-битного числа. Кодирование положительного значения (включая ноль) входного 4-битного числа осуществляется битом 0 регистра управления. Отрицательное значение кодируется инверсным значением. Младший бит выходного двухбитного числа кодируется значением из регистра управления в соответствии со значением всех бит

входного 4-битного значения. В регистре управления последовательно с первого по 15 биты записаны коды для значений b'1001 по b'0111, то есть значениям от минус 7 до плюс 7. При инверсии старшего бита входного числа, полученное значение является адресом бита из регистра управления, которым входное значение должно быть закодировано. Входное значение минус 8 не допускается. Поэтому в нулевом бите расположен знаковый бит.

На выходе блока БЦО расположен мультиплексор «MUX» выходных данных каналов GPS, GLO. Мультиплексор коммутирует на восемь выходных выводов блока БЦО либо 4-х битный сигнал одного из каналов с входа блока «CODE MAP 2», либо 2-х битный сигнал с выхода блока «CODE MAP 2» обоих каналов GPS, GLO. Мультиплексор управляется битом «OUT\_MODE» регистра DDC\_CTRL1 и битами «GPS\_PD», «GLO\_PD» регистра COMMON\_CTRL. При установке «OUT\_MODE» = «1» коммутируется 2-х битный комплексный сигнал каналов GPS, GLO. При установке OUT\_MODE = «0» возможна коммутация 4-х битного сигнала только одного из каналов, второй канал должен быть выключен одним из битов «GPS\_PD», «GLO\_PD» регистра COMMON\_CTRL. Если оба канала включены, выход равен нулю, т.к. неверно задан режим работы. Алгоритм коммутации поясняется в таблице 3.5.

**Таблица 3.5. Работа мультиплексора выходных данных БЦО**

OUT_MODE	GPS_PD	GLO_PD	Шина GPS[3:0]		Шина GLO[3:0]	
			GPS[3:2]	GPS[1:0]	GLO[3:2]	GLO[1:0]
			I_GPS[1:0]	Q_GPS[1:0]	I_GLO[1:0]	Q_GLO[1:0]
1	X	X	I_GPS_2b[1:0]	Q_GPS_2b[1:0]	I_GLO_2b[1:0]	Q_GLO_2b[1:0]
0	0	1	I_GPS_4b[3:2]	I_GPS_4b[1:0]	Q_GPS_4b[3:2]	Q_GPS_4b[1:0]
0	1	0	I_GLO_4b[3:2]	I_GLO_4b[1:0]	Q_GLO_4b[3:2]	Q_GLO_4b[1:0]
0	0	0	0	0	0	0

Сигналы управляемые битами «GPS\_PD», «GLO\_PD» регистра COMMON\_CTRL не отключают обработку в каналах блока БЦО GPS, GLO, а подменяют входные данные гетеродина соответствующего канала нулями, что уменьшает энергопотребление. Это необходимо для того, чтобы оба канала всегда работали синхронно (без скачков фазы децимации) от момента включения БЦО при изменении битов «GPS\_PD», «GLO\_PD» регистра COMMON\_CTRL.

Состояние сброса, вызванное установкой бита DDC\_ON регистра COMMON\_CTRL распространяется только на вычислительные узлы, но не регистры управления блоком и не препятствует изменению параметров по DDC\_CTRL1, DDC\_CTRL2. Фаза сброса БЦО имеет следующие особенности:

- результаты накоплений в регистре DDC\_STATE сбрасываются при изменении бита «DDC\_ON» регистра COMMON\_CTRL с «1» в «0»;

- при записи 1 в биты регистров, относящиеся к блокам анализа количества переполнений или BWGAUGE при DDC\_ON = «0» приведёт к тому, что после включения они сразу начнут оценку, в остальном работа не изменилась (данный способ старта позволяет достичь более простой отладки данных модулей на модели).

### 3.5.5 Мультиплексор выходных данных

На мультиплексор выходных данных поступают: действительные сигналы блока кодирования каналов – RGPS[3:0], RGLO[3:0]; комплексные сигналы с выхода БЦО (2-х битные IGPS[1:0], QGPS[1:0], IGLO[1:0], QGLO[1:0], либо 4-х битные IGPS[3:0], QGPS[3:0] канала GPS, либо 4-х битные IGLO[3:0], QGLO[3:0]) канала GLO; внутренние тестовые сигналы микросхемы. Выход мультиплексора подключен к выводам микросхемы GPS[3:0], GLO[3:0]. При значении бита «DDC\_ON» регистра COMMON\_CTRL, равного «0» (БЦО выключен), способ коммутации входных сигналов мультиплексора на выходные выводы микросхемы GPS[3:0] определяется битами регистра GPS\_ODAT\_SEL, на выходные выводы GLO[3:0] микросхемы, битами регистра GLO\_ODAT\_SEL. Каждая тетрада регистров GPS\_ODAT\_SEL, GLO\_ODAT\_SEL определяет коммутируемый сигнал на каждый из выводов микросхемы GPS[3:0], GLO[3:0], соответственно (см. таблица 3.25, таблица 3.26). Соответствие значений тетрад регистров коммутируемым сигналам приведено в таблице 3.6. Для коммутации всех бит сигналов GLO\_GAIN[5:2], GPS\_GAIN[5:2] на выходные выводы микросхемы, значение h'A должно быть установлено во все 4 тетрады соответствующих регистров GPS\_ODAT\_SEL, GLO\_ODAT\_SEL. В противном случае на выходные выводы микросхемы будут выведены только отдельные биты из сигналов GLO\_GAIN[5:2], GPS\_GAIN[5:2].

При установке бита «DDC\_ON = «1»» (БЦО включен) мультиплексор подключает выходные выводы микросхемы к выходу БЦО в соответствии с таблицей 3.5. Обобщенный алгоритм коммутации мультиплексора выходных данных поясняется таблицей 3.7.

**Таблица 3.6. Соответствие значений тетрад регистров GPS\_ODAT\_SEL, GLO\_ODAT\_SEL коммутируемым сигналам**

Значение тетрады регистров GPS_ODAT_SEL, GLO_ODAT_SEL (hex)	Коммутируемые сигналы	Описание
0	RGPS[3:0], RGLO[3:0]	Соответствующий бит данных, например, RGPS[0] коммутируется на вывод GPS0 при GPS_ODAT_SEL[0] = «0».
1	-	Не используется
2	-	Не используется
3	PLL_LOCK	см. подраздел 3.2
4	GPS_AGC_STABLE	см. подраздел 3.4
5	GLO_AGC_STABLE	см. подраздел 3.4
6	GPS_AGC_INC_SIGN	см. подраздел 3.4
7	GLO_AGC_INC_SIGN	см. подраздел 3.4
8	GPS_AGC_EST	1 на протяжении интервала оценки минус один такт
9	GLO_AGC_EST	1 на протяжении интервала оценки минус один такт
A	GLO_GAIN[5:2], GPS_GAIN[5:2]	Для шины GPS сигнал ЦАП АРУ канала GLO, для шины GLO сигнал ЦАП АРУ канала GPS.
B	-	Не используется
C	-	Не используется
D	PPF_CAL_CLK	Тактовый сигнал для блока управления фильтрами
E	EST_CLK/2	Тактовый сигнал поделенной делителем PLL_DIV частоты ГУН
F	-	Соответствующий бит данных переводится в Z состояние.

**Таблица 3.7. Алгоритм работы мультиплексора выходных данных**

Выводы микросхемы	DDC_ON = «0» GPS_ODAT_SEL = «0» GLO_ODAT_SEL = «0»	DDC_ON = «0» GPS_ODAT_SEL = «0хАААА» GLO_ODAT_SEL = «0хАААА»	DDC_ON = «1» OUT_MODE = «1»
GPS[3:2]	RGPS[3:0]	GLO_GAIN[5:2] <sup>1,2</sup>	IGPS_2b[1:0]
GPS[1:0]			QGPS_2b[1:0]
GLO[3:2]	RGLO[3:0]	GPS_GAIN[5:2] <sup>1,2</sup>	IGLO_2b[1:0]
GLO[1:0]			QGLO_2b[1:0]

## 3.6 Блок управления микросхемой

### 3.6.1 Принцип работы блока управления микросхемой

Управление режимами, конфигурацией микросхемы и контроль работы блоков, осуществляется в цифровом виде путем записи/чтения данных из регистрового файла, через последовательный интерфейс. Регистровый файл микросхемы состоит из 24 битных регистров. Перечень регистров микросхемы, их обозначения, адреса, значения после сброса приведены Таблица 3.8. Подробное описание каждого из регистров микросхемы приведено в таблицах Таблица 3.9 – Таблица 3.49.

<sup>1</sup> На шину данных GPS выводится сигнал АРУ канала GLO, и наоборот, на шину данных GLO выводится сигнал АРУ канала GPS, для удобства отладки блока АРУ.

<sup>2</sup> В текущей реализации микросхемы сигналы GLO\_GAIN, GPS\_GAIN являются входными сигналами блоков АРУ соответствующих каналов, записанных в регистр AGC\_GAIN.

**Таблица 3.8. Перечень регистров управления и контроля микросхемы**

Обозначение регистра/ адрес регистра (hex)	Значение по сбросу (hex)	Описание
COMMON_CTRL 0x000	0x600000	Регистр общей конфигурации.
PLL_CTRL 0x001	0xe5e0a0	Регистр управления PLL
AGC_GAIN 0x002	0x0	Регистр ручного управления усилением
AGC_PRB 0x003	0x0	Регистр вероятностей перегрузки в каналах
AGC_GPS_PARAM 0x004	0xf62	Регистр конфигурации АРУ в канале GPS
AGC_GLO_PARAM 0x005	0xf62	Регистр конфигурации АРУ в канале GLO
Res1 0x006	0x0	Зарезервировано
Res2 0x007	0xc2003f	Зарезервировано
Res3 0x008	0x3ff	Зарезервировано
HYST_123 0x009	0x0	Регистры данных гистограмм
HYST_456 0x00A	0x0	
PLL_DIFF 0x00B	0x3	Регистр блока ФАПЧ
Res4 0x00C	0xbad	Зарезервировано
DDC_CTRL1 0x00D	0x400006	Регистр общей конфигурации БЦО
DDC_STATE 0x00E	0x0	Регистр состояния БЦО
DDC_CTRL2 0x00F	0xf55a4	Дополнительный регистр конфигурации БЦО
GPS_CODE_LUT 0x010	0x531fdb	Регистр основного LUT для преобразования кодов без использования DDC в канале GPS
GLO_CODE_LUT 0x011	0x531fdb	Регистр основного LUT для преобразования кодов без использования DDC в канале GLO
GPS_ODAT_SEL 0x012	0x0	Управление коммутации бит в шине данных GPS
GLO_ODAT_SEL 0x013	0x0	Управление коммутации бит в шине данных GLO
TST 0x014	0x0	Тестовый регистр

Обозначение регистра/ адрес регистра (hex)	Значение по сбросу (hex)	Описание
ADC_DIV_INT_PART 0x015	0x1e	Регистр задания целой части значения делителя дробного делителя частоты тактирования АЦП
ADC_DIV_FRAC_PART 0x016	0x13338	Регистр задания дробной части значения делителя дробного делителя частоты тактирования АЦП
ADC_DIV_TRS 0x017	0x200	Регистр задания порогов дробного делителя частоты тактирования АЦП
PLL_DIV_INT_PART 0x018	0x29	Регистр задания целой части значения делителя дробного делителя частоты синтезатора
PLL_DIV_FRAC_PART 0x019	0x54f83	Регистр задания дробной части значения делителя дробного делителя частоты синтезатора
PLL_DIV_TRS 0x01A	0x200	Регистр задания порогов дробного делителя частоты синтезатора
PPF_CAL_GPS 0x01B	0x0	Регистр управления фильтрами канала GPS
PPF_CAL_GLO 0x01C	0x0	Регистр управления фильтрами канала GLO
ANALOG_CTRL 0x01D	0xfe0f34	Регистр выходных управляющих сигналов аналоговой части
GPS_DDC_FIR2_COEF_012 0x01E	0x40603	Регистр коэффициентов #0-2 фильтра FIR2 в DDC канала GPS
GPS_DDC_FIR2_COEF_345 0x01F	0xf7fd03	Регистр коэффициентов #3-5 фильтра FIR2 в DDC канала GPS
GPS_DDC_FIR2_COEF_678 0x020	0x8fbf5	Регистр коэффициентов #6-8 фильтра FIR2 в DDC канала GLO
GPS_DDC_FIR2_COEF_9_10_11 0x021	0x392d1b	Регистр коэффициентов #9-11 фильтра FIR2 в DDC канала GLO
GLO_DDC_FIR2_COEF_012 0x022	0xfaf8fe	Регистр коэффициентов #0-2 фильтра FIR2 в DDC канала GLO
GLO_DDC_FIR2_COEF_345 0x023	0x80801	Регистр коэффициентов #3-5 фильтра FIR2 в DDC канала GLO

Обозначение регистра/ адрес регистра (hex)	Значение по сбросу (hex)	Описание
GLO_DDC_FIR2_COEF_678 0x024	0xf1effc	Регистр коэффициентов #6-8 фильтра FIR2 в DDC канала GLO
GLO_DDC_FIR2_COEF_9_10_11 0x025	0x5a390d	Регистр коэффициентов #9- 11 фильтра FIR2 в DDC канала GLO
GPS_DDC_FIR1_COEF_012 0x026	0x200ff	Регистр коэффициентов #0-2 фильтра FIR1 в DDC канала GPS
GPS_DDC_FIR1_COEF_345 0x027	0xfd00	Регистр коэффициентов #3-5 фильтра FIR1 в DDC канала GPS
GPS_DDC_FIR1_COEF_678 0x028	0xf40006	Регистр коэффициентов #6-8 фильтра FIR1 в DDC канала GPS
GPS_DDC_FIR1_COEF_9_10_11 0x029	0x402800	Регистр коэффициентов #9- 11 фильтра FIR1 в DDC канала GPS
GLO_DDC_FIR1_COEF_012 0x02A	0x200ff	Регистр коэффициентов #0-2 фильтра FIR1 в DDC канала GLO
GLO_DDC_FIR1_COEF_345 0x02B	0xfd00	Регистр коэффициентов #3-5 фильтра FIR1 в DDC канала GLO
GLO_DDC_FIR1_COEF_678 0x02C	0xf40006	Регистр коэффициентов #6-8 фильтра FIR1 в DDC канала GLO
GLO_DDC_FIR1_COEF_9_10_11 0x02D	0x402800	Регистр коэффициентов #9- 11 фильтра FIR1 в DDC канала GLO
Res5	0x0	Зарезервировано

**Таблица 3.9. Описание регистра COMMON\_CTRL (адрес регистра 0)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23	SWRST	Запись единицы вызывает полный программный сброс микросхемы.	WO	X
22	GPS_PD	Выключение цифровой обработки канала GPS в БЦО: 0 – канал включен; 1 – канал выключен.	R/W	1
21	GLO_PD	Выключение цифровой обработки канала GLO в БЦО: 0 – канал включен; 1 – канал выключен.	R/W	1

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
20	CLKOUT_AE	Активный фронт тактового сигнала выходных данных (Output Active Edge): 0 – восходящий (установка данных выровнена с восходящий фронтом тактового сигнала, ниспадающий фронт расположен в середине установленных на шине данных); 1 – ниспадающий фронт.	R/W	0
19	DDC_ON	Включение БЦО (DDC): 0 – БЦО выключен; 1 – БЦО включен.	R/W	0
18:17	GPS_AGC_M ODE	Режим работы АРУ канала GPS: 00 – оценка не проводится, управление ручное; 01 – оценка и автоматическая коррекция усиления в режиме SLOW; 10 – оценка и автоматическая коррекция усиления в режиме FAST; 11 – проводится оценка, управление ручное.	R/W	00
16:15	GLO_AGC_M ODE	Режим работы АРУ канала GLO: 00 – оценка не проводится, управление ручное 01 – оценка и автоматическая коррекция усиления в режиме SLOW 10 – оценка и автоматическая коррекция усиления в режиме FAST 11 – проводится оценка, управление ручное.	R/W	00
14:0	-	Зарезервировано	-	-

Таблица 3.10. Описание регистра PLL\_CTRL (адрес регистра 1)

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23	PLL_LOCK_MODE	Разрешение работы LOCK детекторов: 1 – разрешение работы; 0 – сброс детекторов и запрет работы.	R/W	1
22	FRQ_LOCK	Грубая оценка захвата частоты ФАПЧ: 0 – частота ГУН не стабильна; 1 – частота ГУН находится в заданных пределах;	R	x
21	PLL_ADC_EN	Разрешение работы АЦП ФАПЧ: 1 – разрешено.	R/W	1
20:19	FRQ_EST_PERIOD	Длительность оценки частоты FRQ_LOCK.	R/W	00
18	PLL_ADC_RESETN	0 - сбрасывает делитель FRC_DIV_ADC, тактирующий АЦП трактов GPS, GLO.	R/W	1
17	PLL_DIV100_RESETN	0 - сбрасывает делитель на 100, тактирующий схемы подстройки активных полифазных фильтров	R/W	0
16	PLL_DIV_RESETN	0 - сбрасывает делитель петли ФАПЧ	R/W	1
15:13	FRQ_TRS	Допуск расстройки частоты в периодах: 0 – плюс/минус 1 период; 7 – плюс/минус 8 периодов.	R/W	111
12:10	TCXO_DIV	Коэффициент деления частоты с вывода TCXO перед подачей на ФАПЧ: $F_{div\_out} = F_{tcxo} / (TCXO\_DIV + 1)$	R/W	000
9	PLL_QVCO_PD	Выключение генератора QVCO: 0 - генератор QVCO включен; 1 - генератора QVCO выключен.	R/W	0
8	PLL_EXTFLT	Переключение внешний/внутренний фильтр ФАПЧ: 0 – внутренний фильтр; 1 – внешний фильтр.	R/W	0
7:4	PLL_BAND	Номер рабочей полосы QVCO.	R/W	1010
3:0	PLL_I	Ток накачки внешнего фильтра блока ФАПЧ: 0000 – внешний фильтр выключен; 0001 – 250 мкА; 0011 – 500 мкА; 0111 – 750 мкА;	R/W	0000

		1111 – 1000 мКА.		
--	--	------------------	--	--

**Таблица 3.11. Описание регистра AGC\_GAIN (адрес регистра 2)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:14	-	Зарезервировано	-	-
13:8	GAIN_GPS	Значение кода ЦАП управления усилением в УПЧ канала GPS: 1 – 0,7 дБ; 2 – 1,4 дБ; ... 63 – 44,1 дБ.	R/W	000000
7:6	-	Не используются	-	-
5:0	GAIN_GLO	Значение кода ЦАП управления усилением в УПЧ канала GLO: 1 – 0,7 дБ; 2 – 1,4 дБ; ... 63 – 44,1 дБ.	R/W	000000

**Таблица 3.12. Описание регистра AGC\_PRB (адрес регистра 3)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Зарезервировано	-	-
15:8	PRB_GPS	Вероятность перегрузки в канале GPS	R	xxxxxxxx
7:0	PRB_GLO	Вероятность перегрузки в канале GLO	R	xxxxxxxx

**Таблица 3.13. Описание регистра AGC\_GPS\_PARAM (адрес регистра 4)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Зарезервировано	-	-
15	HIST_ST	Запись единицы запускает накопление данных для гистограммы. Чтение – возвращает готовность данных.	R/W	0
14:13	-	Зарезервировано	-	-

12	OVF_SRC	Выбор порога перегрузки: 0 – порог по кодам АЦП 00000 и 11111; 1 – порог по кодам АЦП 00001, 01111.	R/W	0
11:10	AGC_PERIOD	Период обновления оценки $2^{\wedge}$ AGC_PERIOD циклов измерения: 0 – 1 цикл; 1 – 2 цикла; 2 – 4 цикла; 3 – 8 циклов.	R/W	11
9:8	AGC_EST_TIME	Интервал оценки в отсчетах канальных АЦП: 0 – $1 * 1024$ отсчета; 1 – $4 * 1024$ отсчета; 2 – $16 * 1024$ отсчета; 3 – $64 * 1024$ отсчета.	R/W	11
7:4	AGC_TRS_HI	Верхний порог срабатывания компаратора АРУ.	R/W	0110
3:0	AGC_TRS_LO	Нижний порог срабатывания компаратора АРУ.	R/W	0010

**Таблица 3.14. Описание регистра AGC\_GLO\_PARAM (адрес регистра 5)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Зарезервировано	-	-
15	HIST_ST	Запись единицы запускает накопление данных для гистограммы. Чтение – возвращает готовность данных.	R/W	0
14:13	-	Зарезервировано	-	-
12	OVF_SRC	Выбор порога перегрузки: 0 – порог по кодам АЦП 00000 и 11111; 1 – порог по кодам АЦП 00001, 01111.	R/W	0
11:10	AGC_PERIOD	Период обновления оценки $2^{\wedge}$ AGC_PERIOD циклов измерения: 0 – 1 цикл; 1 – 2 цикла; 2 – 4 цикла; 3 – 8 циклов.	R/W	11

9:8	AGC_EST_TIME	Интервал оценки в отсчетах канальных АЦП: 0 – 1*1024 отсчета; 1 – 4*1024 отсчета; 2 – 16*1024 отсчета; 3 – 64*1024 отсчета.	R/W	11
7:4	AGC_TRS_HI	Верхний порог срабатывания компаратора АРУ.	R/W	0110
3:0	AGC_TRS_LO	Нижний порог срабатывания компаратора АРУ.	R/W	0010

**Таблица 3.15. Описание регистра HYST\_123 (адрес регистра 9)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	HYST_1	Колодец гистограммы с кодом 00000.	R	0
15:8	HYST_2	Колодец гистограммы с кодом 00001.	R	0
7:0	HYST_3	Колодец гистограммы с кодом 00011.	R	0

**Таблица 3.16. Описание регистра HYST\_456 (адрес регистра 10)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	HYST_4	Колодец гистограммы с кодом 00111.	R	0
15:8	HYST_5	Колодец гистограммы с кодом 01111.	R	0
7:0	HYST_6	Колодец гистограммы с кодом 11111.	R	0

**Таблица 3.17. Описание регистра PLL\_DIFF (адрес регистра 11)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Не используются	-	-
15:8	FRQ_DIFF	Отличие в количестве подсчитанных периодов сигнала EST_CLK относительно REF_CLK во время оценки в модуле оценки частоты.	R	x
7:4	-	Не используются	-	-
3:0	PLL_U	Цифровой код АЦП (термометрический) петли ФАПЧ.	R	x

**Таблица 3.18. Описание регистра DDC\_CTRL1 (адрес регистра 13)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23	WR_ENA	Разрешение записи во все поля в: 1 – разрешена перезапись данных во все поля регистра; 0 – перезапись не разрешена.	R/W	0
22	OUT_MODE	Режим работы выходной шины: 0 – 4х битный режим, двоично-дополнительный код; 1 – 2х битный режим, знак + амплитуда.	R/W	1
21:6	-	Зарезервировано	-	-
5	FIR1_ENA	Разрешение работы FIR1 в обоих каналах: 1 – разрешено; 0 – запрещено (байпас).	R/W	0
4	FIR1_MODE	Разрешение работы дециматора FIR1 в обоих каналах: 1 – режим 100МГц, фильтрация и децимация в 2 раза; 0 – режим 50МГц, фильтрация без децимации	R/W	0
3:2	KDEC	Коэффициент децимации в FIR2 минус один: 0 – Kdec=1; 1 – Kdec=2; 2 – Kdec=3; 3 – Kdec=4.	R/W	01
1	GLO_HTRD_DIR	Частота гетеродинирования канала GLO: 0: плюс 0,25; 1: минус 0,25.	R/W	1
0	GPS_HTRD_DIR	Частота гетеродинирования канала GPS: 0: плюс 0,25; 1: минус 0,25.	R/W	0

**Таблица 3.19. Описание регистра DDC\_STATE (адрес регистра 14)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:18	-	Зарезервировано	-	-
17	BWG_STATE	Состояние оценки BWGAUGE. 0-Оценка не готова. 1-Оценка завершена	R	0

16	PRB_STATE	Состояние оценки OVF_PRB. 0-Оценка не готова. 1-Оценка завершена	R	0
15:13	BWG_DATA_GLO	Выход BWGAUGE канала GLO	R	000
12:8	PRB_DATA_GLO	Вероятность перегрузки PRB канала GLO		00000
7:5	BWG_DATA_GPS	Выход BWGAUGE канала GPS	R	000
4:0	PRB_DATA_GPS	Вероятность перегрузки PRB канала GPS	R	00000

**Таблица 3.20. Описание регистра DDC\_CTRL2 (адрес регистра 15)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23	WR_ENA	Разрешение записи во все поля: 1-разрешена перезапись данных во все поля регистра; 0-разрешена перезапись данных только в поля [22:16].	W	0
22:21	-	Не используются	-	-
20	SENSE_SRC	Источник сигналов для оценки перегрузки PRB и BWGAUGE: 0 - OVF1/BWG1; 1 - OVF2/BWG2.	R/W	0
19	PRB_ENA	Разрешение работы оценки перегрузки PRB: 0-запрещено; 1-разрешено	R/W	1
18	BWG_ENA	Разрешение работы оценки BWG: 0-запрещено; 1-разрешено	R/W	1
17:16	EST_TME	Время оценки в количестве отсчетов сигнала: 3 – 65536; 2 – 32768; 1 – 16384; 0 – 8192.	R/W	11
15:14	FIR1_SCALE1_GLO	«Грубый» коэффициент усиления FIR1 в канале GLO: 0 – 1; 1 – 2; 2 – 4; 3 – 8.	R/W	01
13:12	FIR1_SCALE1_GPS	«Грубый» коэффициент усиления FIR1 в канале GPS:	R/W	01

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
		0 – 1; 1 – 2; 2 – 4; 3 – 8.		
11:10	SCALE_GLO	«Грубый» коэффициент усиления FIR2 в канале GLO: 0 – 0,5; 1 – 1; 2 – 2; 3 – 4.	R/W	01
9:8	SCALE_GPS	«Грубый» коэффициент усиления FIR2 в канале GPS: 0 – 0,5; 1 – 1; 2 – 2; 3 – 4	R/W	01
7:4	FSCALE_GLO	«Плавный» коэффициент усиления в канале GLO: 0 – 8; 1 – 9; ... 15 – 23.	R/W	1010
3:0	FSCALE_GPS	«Плавный» коэффициент усиления в канале GPS: 0 – 8; 1 – 9; ... 15 – 23.	R/W	0100

**Таблица 3.21. Описание регистров GPS\_CODE\_LUT, GLO\_CODE\_LUT (адреса регистров 16 и 17 соответственно)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	CODE_ADC_31	Значение для кода АЦП канала 11111.	R/W	0101
19:16	CODE_ADC_15	Значение для кода АЦП канала 01111.	R/W	0011
15:12	CODE_ADC_7	Значение для кода АЦП канала 00111.	R/W	0001
11:8	CODE_ADC_3	Значение для кода АЦП канала 00011.	R/W	1111
7:4	CODE_ADC_1	Значение для кода АЦП канала 00001.	R/W	1101
3:0	CODE_ADC_0	Значение для кода АЦП канала 00000.	R/W	1011

**Таблица 3.22. Описание регистра GPS\_ODAT\_SEL (адрес регистра 18)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Зарезервировано	-	-
15:12	GPS_DAT3_SEL	Выбор сигнала коммутируемого на вывод микросхемы GPS3.	R/W	0
11:8	GPS_DAT2_SEL	Выбор сигнала коммутируемого на вывод микросхемы GPS2.	R/W	0
7:4	GPS_DAT1_SEL	Выбор сигнала коммутируемого на вывод микросхемы GPS1.	R/W	0
3:0	GPS_DAT0_SEL	Выбор сигнала коммутируемого на вывод микросхемы GPS0.	R/W	0

**Таблица 3.23. Описание регистра GLO\_ODAT\_SEL (адрес регистра 19)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:16	-	Зарезервировано	-	-
15:12	GLO_DAT3_SEL	Выбор сигнала коммутируемого на вывод микросхемы GLO3.	R/W	0
11:8	GLO_DAT2_SEL	Выбор сигнала коммутируемого на вывод микросхемы GLO2.	R/W	0
7:4	GLO_DAT1_SEL	Выбор сигнала коммутируемого на вывод микросхемы GLO1.	R/W	0
3:0	GLO_DAT0_SEL	Выбор сигнала коммутируемого на вывод микросхемы GLO0.	R/W	0

**Таблица 3.24. Описание регистра TST (адрес регистра 20)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:0	TST_REG	Тестовый регистр, для проверки корректности обмена данными по последовательному интерфейсу.	R/W	x

**Таблица 3.25. Описание регистра ADC\_DIV\_INT\_PART (адрес регистра 21)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:7	-	Зарезервировано	-	-

6:0	ADC_DIV_N	Целая часть значения дробного делителя частоты тактирования АЦП	R/W	dec 30
-----	-----------	---	-----	--------

**Таблица 3.26. Описание регистра ADC\_DIV\_FRAC\_PART (адрес регистра 22)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	-	Зарезервировано	-	-
19:10	ADC_DIV_FRAC	Знаковое значение числителя дробной части делителя частоты тактирования АЦП	R/W	dec 76
9:0	ADC_DIV_BASE	Знаменатель дробной части значения делителя частоты тактирования АЦП (задается на единицу меньше желаемого значения)	R/W	dec 824

**Таблица 3.27. Описание регистра ADC\_DIV\_TRS (адрес регистра 23)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	-	Зарезервировано	-	-
19:10	ADC_DIV_TRS_HI	Верхнее пороговое значение дробного делителя частоты тактирования АЦП	R/W	dec 0
9:0	ADC_DIV_TRS_LO	Нижнее пороговое значение дробного делителя частоты тактирования АЦП	R/W	dec 512

**Таблица 3.28. Описание регистра PLL\_DIV\_INT\_PART (адрес регистра 24)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:7	-	Зарезервировано	-	-
9:0	PLL_DIV_N	Целая часть значения дробного делителя частоты системы ФАПЧ	R/W	dec 41

**Таблица 3.29. Описание регистра PLL\_DIV\_FRAC\_PART (адрес регистра 25)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	-	Зарезервировано	-	-
19:10	PLL_DIV_FRAC	Знаковое значение числителя дробной части делителя частоты системы ФАПЧ	R/W	dec 339

9:0	PLL_DIV_BASE	Знаменатель дробной части значения делителя частоты системы ФАПЧ (задается на единицу меньше желаемого значения)	R/W	dec 899
-----	--------------	--	-----	---------

**Таблица 3.30. Описание регистра PLL\_DIV\_TRS (адрес регистра 26)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	-	Зарезервировано	-	-
19:10	PLL_DIV_TRS_HI	Верхнее пороговое значение дробного делителя частоты системы ФАПЧ	R/W	dec 0
9:0	PLL_DIV_TRS_LO	Нижнее пороговое значение дробного делителя частоты системы ФАПЧ	R/W	dec 512

**Таблица 3.31. Описание регистра PPF\_CAL\_GPS (адрес регистра 27)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:6	-	Зарезервировано	-	-
5	PPF_CAL_MODE	Выбор режима работы блока управления полифазными фильтрами канала GPS: 0 - ручной режим; 1 - автоматический.	R/W	0
4:0	PPF_CAL	Значение для сравнения в блоке управления полифазными фильтрами канала GPS. При чтении выдает текущее значение.	R/W	0

**Таблица 3.32. Описание регистра PPF\_CAL\_GLO (адрес регистра 28)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:6	-	Зарезервировано	-	-
5	PPF_CAL_MODE	Выбор режима работы блока управления полифазными фильтрами канала GLO: 0 - ручной режим; 1 - автоматический.	R/W	0
4:0	PPF_CAL	Значение для сравнения в блоке управления полифазными фильтрами канала GLO. При чтении выдает текущее значение.	R/W	0

**Таблица 3.33. Описание регистра ANALOG\_CTRL (адрес регистра 29)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23	LDO_ADC_EN	Разрешения работы стабилизатора АЦП: 0 – запрещено; 1 – разрешено.	R/W	1
22	LDO_PLL_EN	Разрешения работы стабилизаторов ФАПЧ: 0 – запрещено; 1 – разрешено.	R/W	1
21	IO_DS	Бит управления выходным током цифровых выводов: 0 – слабый ток (4 мА); 1 – большой ток (8 мА).	R/W	1
20	GLO_ADC_EN	«1» включает АЦП канала GLO	R/W	1
19	GPS_ADC_EN	«1» включает АЦП канала GPS	R/W	1
18	GPS_VGA_EN	Включение УПЧ канала GPS: 0 – УПЧ выключен; 1 – УПЧ включен.	R/W	1
17	GLO_VGA_EN	Включение УПЧ канала GLO: 0 – УПЧ выключен; 1 – УПЧ включен.	R/W	1
16	CREF_PD	«1» отключает схему, формирующую опорные токи	R/W	0
15:14	GLOA_MUX	Управление аналоговым мультиплексором GLO: 0 – 50 Ом буфер выключен; 1 – выводится выходной сигнал УПЧ; 2 – выводится выходной сигнал PPF; 3 – зарезервировано.	R/W	00
13:12	GPSA_MUX	Управление аналоговым мультиплексором GPS: 0 – 50 Ом буфер выключен; 1 – выводится выходной сигнал УПЧ; 2 – выводится выходной сигнал PPF; 3 – зарезервировано.	R/W	00

11	PPFS_PD_T_GLO	«1» отключает схему подстройки активного полифазного фильтра канала GLO	R/W	1
10	PPFS_PD_T_GPS	«1» отключает схему подстройки активного полифазного фильтра канала GPS	R/W	1
9	PPFS_PD_P_GLO	«1» отключает пассивный полифазный фильтр канала GLO	R/W	1
8	PPFS_PD_P_GPS	«1» отключает пассивный полифазный фильтр канала GPS	R/W	1
7	PPFS_PD_GLO	«1» отключает активный полифазный фильтр канала GLO	R/W	0
6	PPFS_PD_GPS	«1» отключает активный полифазный фильтр канала GPS	R/W	0
5	PPFS_EN_F_GLO	Выбор типа пассивного полифазного фильтра канала GLO: «1» - полифазный RC фильтр; «0» - полифазный RC фильтр с дополнительным активным ФНЧ	R/W	1
4	PPFS_EN_F_GPS	Выбор типа пассивного полифазного фильтра канала GPS: «1» - полифазный RC фильтр; «0» - полифазный RC фильтр с дополнительным активным ФНЧ	R/W	1
3	REF_RES_DIV	Переключатель выбора источника опорного напряжения АЦП 1 В: 0 – bandgap; 1 – резистивный делитель.	R/W	0
2:0	-	Зарезервировано	-	-

**Таблица 3.34. Описание регистра GPS\_DDC\_FIR2\_COEF\_012 (адрес регистра 30)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_2	Коэффициент #2 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 4
19:10	FIR_COEFF_1	Коэффициент #1 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 6
9:0	FIR_COEFF_0	Коэффициент #0 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 3

**Таблица 3.35. Описание регистра GPS\_DDC\_FIR2\_COEF\_345 (адрес регистра 31)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_5	Коэффициент #5 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 247
19:10	FIR_COEFF_4	Коэффициент #4 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 253
9:0	FIR_COEFF_3	Коэффициент #3 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 3

**Таблица 3.36. Описание регистра GPS\_DDC\_FIR2\_COEF\_678 (адрес регистра 32)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_8	Коэффициент #8 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 8
19:10	FIR_COEFF_7	Коэффициент #7 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec251
9:0	FIR_COEFF_6	Коэффициент #6 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 245

**Таблица 3.37. Описание регистра GPS\_DDC\_FIR2\_COEF\_9\_10\_11 (адрес регистра 33)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_11	Коэффициент #11 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 57
19:10	FIR_COEFF_10	Коэффициент #10 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 45
9:0	FIR_COEFF_9	Коэффициент #9 фильтра FIR2 в канале GPS DDC. Значение знаковое.	R/W	dec 27

**Таблица 3.38. Описание регистра GLO\_DDC\_FIR2\_COEF\_012 (адрес регистра 34)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_2	Коэффициент #2 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 250
19:10	FIR_COEFF_1	Коэффициент #1 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 248
9:0	FIR_COEFF_0	Коэффициент #0 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 254

**Таблица 3.39. Описание регистра GLO\_DDC\_FIR2\_COEF\_345 (адрес регистра 35)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_5	Коэффициент #5 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 8
19:10	FIR_COEFF_4	Коэффициент #4 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 8
9:0	FIR_COEFF_3	Коэффициент #3 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 1

**Таблица 3.40. Описание регистра GLO\_DDC\_FIR2\_COEF\_678 (адрес регистра 36)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_8	Коэффициент #8 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 241
19:10	FIR_COEFF_7	Коэффициент #7 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 239
9:0	FIR_COEFF_6	Коэффициент #6 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 252

**Таблица 3.41. Описание регистра GLO\_DDC\_FIR2\_COEF\_9\_10\_11 (адрес регистра 37)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_11	Коэффициент #11 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 90
19:10	FIR_COEFF_10	Коэффициент #10 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 57
9:0	FIR_COEFF_9	Коэффициент #9 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 13

**Таблица 3.42. Описание регистра GPS\_DDC\_FIR1\_COEF\_012 (адрес регистра 38)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_2	Коэффициент #2 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 2
19:10	FIR_COEFF_1	Коэффициент #1 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 0
9:0	FIR_COEFF_0	Коэффициент #0 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 255

**Таблица 3.43. Описание регистра GPS\_DDC\_FIR1\_COEF\_345 (адрес регистра 39)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_5	Коэффициент #5 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 0
19:10	FIR_COEFF_4	Коэффициент #4 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 253
9:0	FIR_COEFF_3	Коэффициент #3 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 0

**Таблица 3.44. Описание регистра GPS\_DDC\_FIR1\_COEF\_678 (адрес регистра 40)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_8	Коэффициент #8 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 244
19:10	FIR_COEFF_7	Коэффициент #7 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 0
9:0	FIR_COEFF_6	Коэффициент #6 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 6

**Таблица 3.45. Описание регистра GPS\_DDC\_FIR1\_COEF\_9\_10\_11 (адрес регистра 41)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_11	Коэффициент #11 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 64
19:10	FIR_COEFF_10	Коэффициент #10 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 40
9:0	FIR_COEFF_9	Коэффициент #9 фильтра FIR1 в канале GPS DDC. Значение знаковое.	R/W	dec 0

**Таблица 3.46. Описание регистра GLO\_DDC\_FIR1\_COEF\_012 (адрес регистра 42)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_2	Коэффициент #2 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 2
19:10	FIR_COEFF_1	Коэффициент #1 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 0
9:0	FIR_COEFF_0	Коэффициент #0 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 255

**Таблица 3.47. Описание регистра GLO\_DDC\_FIR1\_COEF\_345 (адрес регистра 43)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_5	Коэффициент #5 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 0
19:10	FIR_COEFF_4	Коэффициент #4 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 253
9:0	FIR_COEFF_3	Коэффициент #3 фильтра FIR2 в канале GLO DDC. Значение знаковое.	R/W	dec 0

**Таблица 3.48. Описание регистра GLO\_DDC\_FIR1\_COEF\_678 (адрес регистра 44)**

Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_8	Коэффициент #8 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 244
19:10	FIR_COEFF_7	Коэффициент #7 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 0
9:0	FIR_COEFF_6	Коэффициент #6 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 6

**Таблица 3.49. Описание регистра GLO\_DDC\_FIR1\_COEF\_9\_10\_11 (адрес регистра 45)**

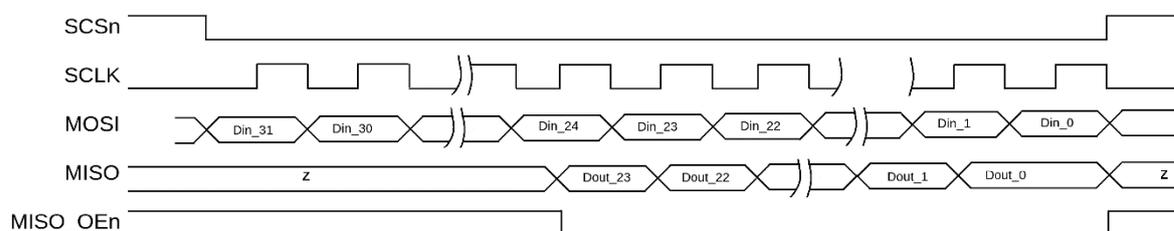
Номер разряда	Условное обозначение	Описание	Доступ	Исходное состояние
23:20	FIR_COEFF_11	Коэффициент #11 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 64
19:10	FIR_COEFF_10	Коэффициент #10 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 40
9:0	FIR_COEFF_9	Коэффициент #9 фильтра FIR1 в канале GLO DDC. Значение знаковое.	R/W	dec 0

### 3.6.2 Обмен данными по последовательному интерфейсу.

Обмен данными по последовательному интерфейсу производится 32 битными словами. Формат слова для обмена приведен в Таблица 3.50. Временные диаграммы обмена данными по последовательному интерфейсу отображена на Рисунок 3.9.

**Таблица 3.50. Формат слова обмена данными с блоком управления микросхемой**

32 битное слово		
Биты [31:25]	Бит [24]	Биты [23:0]
Адрес регистра (7 бит), старшими битами вперед.	Команда чтение/запись: 0 – чтение из регистра; 1 – запись в регистр.	Данные обмена (24 бита), старшими битами вперед.


**Рисунок 3.9. Временные диаграммы последовательного интерфейса**

В исходном состоянии на выводе SCSn высокий уровень, обмен данными с микросхемой заблокирован. При переключении ведущим последовательного интерфейса (внешний контроллер) состояния на выводе SCSn с высокого уровня на низкий, на выводе SCLK удерживается низкий уровень, на выводе MOSI устанавливается старший бит адреса в соответствии с форматом слова из таблицы 3.43 (бит 31 слова обмена). Далее данные на линии MOSI принимаются микросхемой по восходящему фронту сигнала SCLK, ведущим изменяются по ниспадающему фронту. После получения микросхемой адреса (биты 31:25), осуществляется выборка данных из выбранного регистра и их загрузка в сдвиговый регистр последовательного интерфейса, независимо от типа команды – чтение или запись. После фазы декодирования команды (бит 24), данные из сдвигового регистра последовательного интерфейса микросхемы, будут переданы по линии MISO по восходящим фронтам сигнала SCLK в младших 24 битах, при этом за пределами передаваемых 24 бит линия MISO будет находиться в Z состоянии независимо от сигнала SCSn. При декодировании бита команды (бит 24) как команды на запись, микросхема загружает данные регистра (биты 23:0) в свой сдвиговый регистр последовательного интерфейса по восходящим фронтам сигнала SCLK. После приема последнего бита данных по нисходящему фронту сигнала SCLK происходит перезапись 24 бит данных из сдвигового регистра последовательного интерфейса микросхемы в выбранный ранее адресом регистра регистрового файла.

## 4. КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ

Конструктивно микросхема выполнена в пластиковом корпусе с четырехсторонним расположением выводов корпусе QFN 48L в габаритах 7 x 7 мм. Чертеж корпуса микросхемы приведен на рисунке 4.1

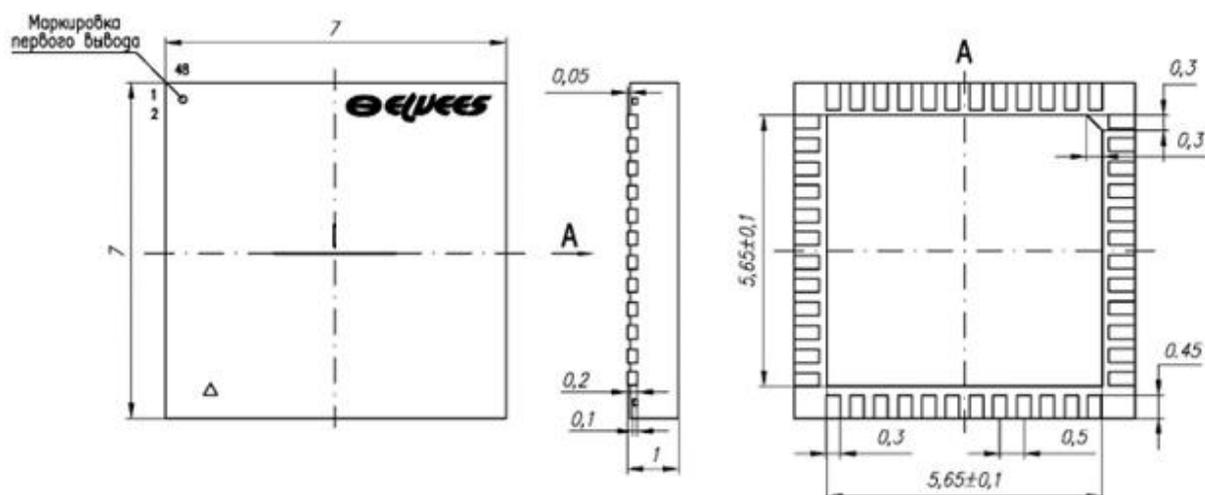


Рисунок 4.1. Корпус микросхемы

Первый вывод обозначен точкой. Нумерация выводов против часовой стрелки.

## 5. МОНТАЖ И УСТАНОВКА МИКРОСХЕМЫ

При работе с микросхемой необходимо предусматривать защиту от статического электричества в соответствии с ОСТ 11 073.062-2001. Допустимое значение потенциала статического электричества не более 1500 В.

Микросхема разработана для установки на печатную плату по технологии поверхностного монтажа без дополнительной герметизации. Для монтажа микросхемы на печатной плате должно быть подготовлено посадочное место с рекомендуемым контуром, приведенным на рисунке 5.1. Не рекомендуется располагать сигнальные линии под корпусом микросхемы, т.к. необходимо заполнить свободное место под ним полигоном общей земли - GND.

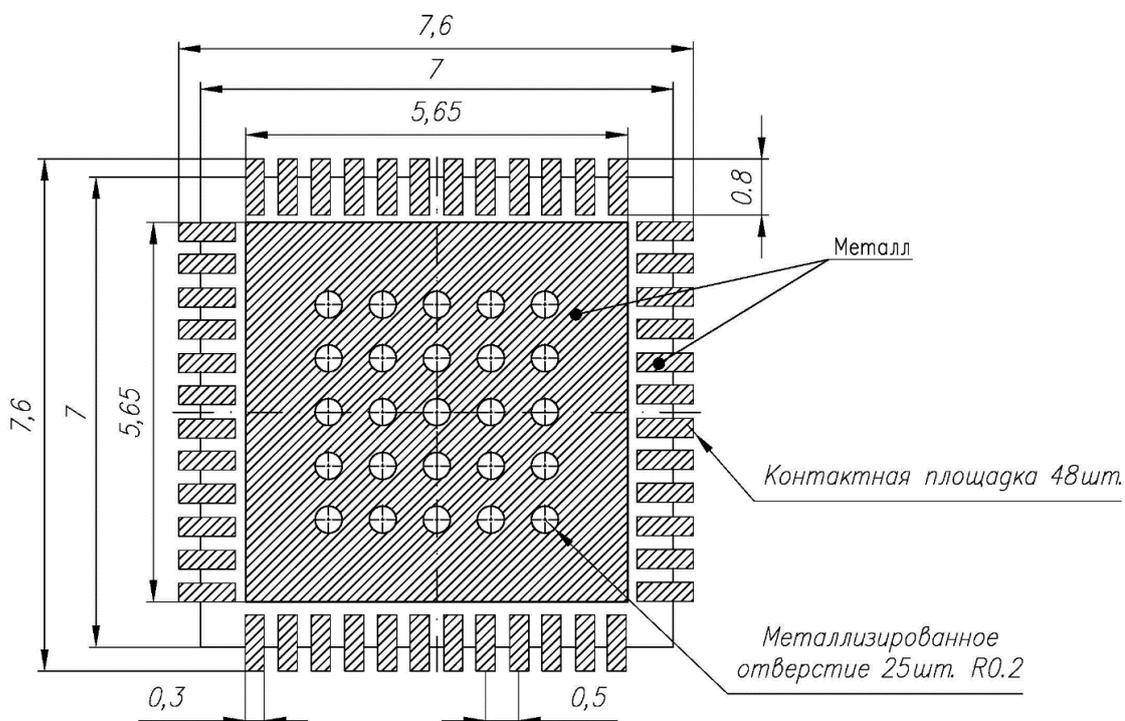


Рисунок 5.1. Рекомендуемое посадочное место для микросхемы

Монтаж микросхемы производится пайкой как свинцово содержащими, так и бессвинцовыми паяльными пастами и/или припоями при помощи заземленного паяльника, нагретого до температуры жала не выше 240 °С. Продолжительность касания одного вывода при ручном монтаже не должна превышать 3 секунд. Интервал между пайками соседних выводов должен быть не менее 2 секунд, между повторными пайками одного и того же вывода – не менее 30 секунд.

При двустороннем монтаже плат, микросхемы должны устанавливаться на ту сторону, которая монтируется и паяется в заключительном проходе через печь оплавления. Рекомендуется использовать флюс марки WF-9945.

При демонтаже микросхемы с платы конечного изделия не допускается нагревать их до температуры, превышающей 250 °С, время нахождения при температуре выше 230 °С не должно превышать 40 секунд. В случае перегрева работоспособность демонтированных микросхем может быть нарушена.

При установке в аппаратуре любого исполнения микросхема должна быть защищена полипараксилиленовым влагозащитным покрытием ОСТ В 107.460007.008-2000.

Микросхема допускает очистку в составе печатных узлов в соответствии с ГОСТ РВ 20.39.412-97. Рекомендуемой является ультразвуковая очистка в промывочной жидкости ZESTRON® FA+. Процесс отмывки рекомендуется проводить при температуре от плюс 50 до плюс 55°С. Время отмывки 10 мин. Частота колебаний от 38 до 45 Гц. Ополаскивание рекомендуется проводить в два этапа:

- а) ополаскивание в холодной водопроводной или деионизованной воде 5 мин;
- б) финишное ополаскивание в теплой от плюс 40 до плюс 50 °С деионизованной или деминерализованной воде 5 мин.

Сушка производится обдувом горячим воздухом при температуре 80 °С в течение 10 мин.

## 6. УКАЗАНИЯ ПО ПРИМЕНЕНИЮ

### 6.1 Типовая схема включения

В типовой схеме включения микросхемы (см. Рисунок 6.1), питание осуществляется от единого источника стабилизированного напряжения номиналом 3,3 В и пиковым значением силы тока не менее 125 мА. В этом случае задействованы внутренние интегральные стабилизаторы напряжения LDO\_ADC, LDO\_PLL, LDO\_DIG (см. Рисунок 2.1. Структурная схема микросхемы). Для исследования и улучшения характеристик микросхемы, некоторые цепи питания микросхемы (CVDD\_ADC, CVDD\_PLL) можно запитать от отдельного источника питания номиналом 1,2 В и пиковым значением тока 50 мА, при этом внутренние интегральные стабилизаторы необходимо отключить, записав в поля «LDO\_ADC\_EN», «LDO\_PLL\_EN» регистра ANALOG\_CTRL нули. На вход стабилизатора LDO\_DIG питания цифровой части AVDD\_VR\_DIG\_IO, в любой схеме питания, необходима подача напряжения номиналом 3,3 В, так как этот вывод совмещен с питанием цифровых I/O буферов микросхемы.

Для минимизации потребляемого тока при отсутствии необходимости контролировать аналоговые сигналы на входах/выходах тракта ПЧ каналов GPS, GLO, рекомендуется вывод AVDD\_ABUF оставлять свободным, тем самым не подавая питание на буферы каналов GPS, GLO. Буферы каналов GPS, GLO также можно отключить программно полями «GLOA\_MUX», «GPSA\_MUX» регистра ANALOG\_CTRL.

Выходы микросхемы RF\_IN\_0, RF\_IN\_1, RF\_OUT\_0 предназначены для включения в СВЧ тракт с волновым сопротивлением 50 Ом. Выводы микросхемы LIN\_OUT\_GLO, LIN\_OUT\_GPS предназначены для включения в тракт ПЧ с волновым сопротивлением 50 Ом. Типовая схема включения микросхемы подразумевает подключение к входу RF\_IN\_0 пассивной антенны, то есть задействованы все МШУ микросхемы – LNA0, LNA1.

К выводам питания микросхемы, как можно ближе, необходимо подключать блокирующие конденсаторы сначала емкостью 100 пФ, далее емкостью 0,1 мкФ.

К входу тактового сигнала микросхемы TCXO возможно подключение источника, как синусоидального аналогового тактового сигнала с размахом не менее 500 мВ (пик-пик), так и дискретного сигнала с КМОП уровнями частотой 26,48 МГц. Тактирование блока управления микросхемой производится с частотой сигнала на выводе TCXO микросхемы. В синтезатор частоты с вывода TCXO микросхемы сигнал подается с делителя TCXO\_DIV, управляемого полем «TCXO\_DIV» регистра PLL\_CTRL.

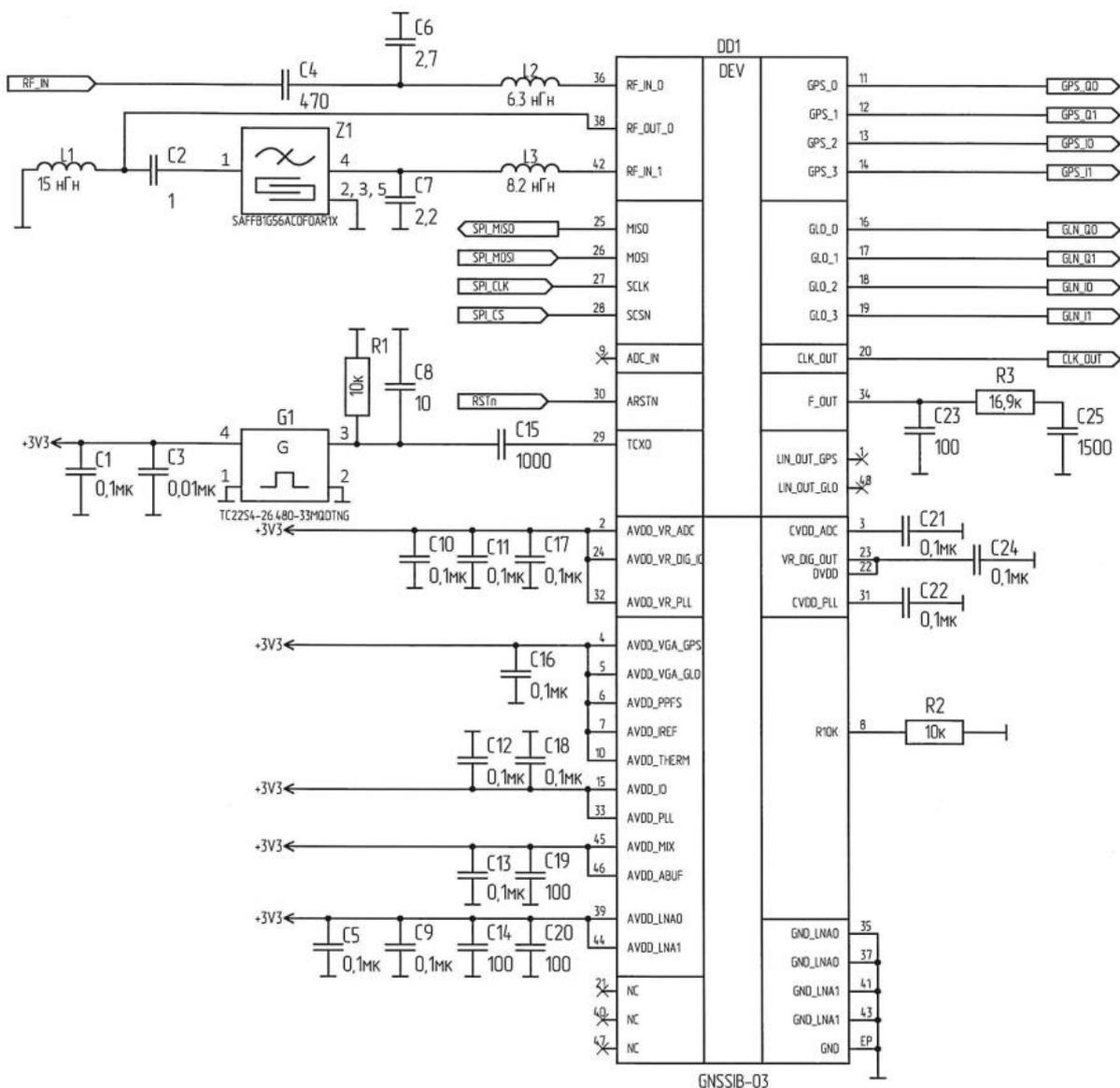


Рисунок 6.1. Типовая схема включения микросхемы

## 6.2 Типовая конфигурация блока управления

Во время сброса микросхемы в ее управляющие регистры записываются значения (см. Таблица 3.8), определяющие следующий режим работы:

- цифровые части каналов выключены, блок БЦО выключен, значения полей регистра COMMON\_CTRL установлены GPS\_PD = «1», GLO\_PD = «1», DDC\_ON = «0»;
- режим работы АРУ – ручной, значения полей регистра COMMON\_CTRL установлены GPS\_AGC\_MODE = «0», GLO\_AGC\_MODE = «0»;

- делитель частоты петли ФАПЧ настроен в дробном режиме на использование тактовой частоты  $F_{tch0} = 38,4$  МГц (регистры PLL\_DIV\_INT\_PART, PLL\_DIV\_FRAC\_PART);
- делитель частоты тактирования АЦП настроен в дробном режиме на формирование тактовой частоты АЦП каналов  $F_{adc} = 52,8$  МГц (регистры ADC\_DIV\_INT\_PART, ADC\_DIV\_FRAC\_PART);
- в блоке БЦО фильтр FIR1 выключен (режим байпасс), фильтр FIR2 работает с децимацией на 2, промежуточная частота после гетеродина 1/4 от тактовой  $F_{adc}$  в канале GPS равна минус 244 кГц, в канале GLO равна минус 64 кГц;
- установлены оптимальные пороги АРУ каналов, коэффициенты масштабирования блока БЦО, коэффициенты фильтров – FIR1, FIR2;
- подключены активные полифазные фильтры с не активированной схемой подстройки частоты, включены УПЧ, АЦП каналов GPS, GLO (см. регистр ANALOG\_CTRL);
- конфигурация питания от единого источника питания, внутренние стабилизаторы цепей питания ФАПЧ, АЦП (CVDD\_PLL, CVDD\_ADC) включены, в полях «LDO\_ADC\_EN», «LDO\_PLL\_EN» регистра ANALOG\_CTRL записаны «1».

Для получения оптимальных результатов приема и обработки радиосигналов систем GPS, GLO диапазона L1 необходимо переконфигурировать микросхему на работу от источника тактовой частоты  $F_{tch0} = 26,48$  МГц, используя при этом целочисленные режимы работы делителей частоты ФАПЧ, тактирования АЦП. Для этого необходимо записать в управляющие регистры микросхемы следующие значения, представленные ниже по тексту в виде списка словарей языка Python, с комментариями. Регистры, не указанные в данном списке словарей, остаются проинициализированы значениями по умолчанию (см. Таблица 3.8)

```
[
  {# Программный сброс микросхемы для возможности конфигурирования из любого
  # состояния микросхемы
  "name": "COMMON_CTRL",
  "address": "0x000",
  "value": "0x00000"
  },
  {# БЦО включен: DDC_ON=<b'1>; каналы обработки включены: GLO_PD=<b'0>, GPS_PD=<b'0>;
  # режим работы АРУ - автоматический режим SLOW: GLO_AGC_MODE=<b'1>,
  GPS_AGC_MODE=<b'1>;
```

```
"name": "COMMON_CTRL",
"address": "0x000",
"value": "0xa8000"
},
{# Целая часть делителя частоты тактирования АЦП: ADC_DIV_N=<d'30>, значение
# по сбросу можно не перезаписывать (1588,8МГц/30=52,96МГц)
"name": "ADC_DIV_INT_PART",
"address": "0x015",
"value": "0x1e"
},
{# Числитель дробной части делителя частоты тактирования АЦП:
# ADC_DIV_FRAC=<b'0>; знаменатель дробной части делителя - без изменений
"name": "ADC_DIV_FRAC_PART",
"address": "0x016",
"value": "0x338"
},
{# Коррекция порога делителя дробного делителя частоты тактирования АЦП:
# ADC_DIV_TRS_LO=<d'513>
"name": "ADC_DIV_TRS",
"address": "0x017",
"value": "0x201"
},
{# Целая часть делителя частоты петли ФАПЧ: PLL_DIV_N=<d'60>
# (26,48МГц*60=1588,8МГц)
"name": "PLL_DIV_INT_PART",
"address": "0x018",
"value": "0x3c"
},
{# Числитель дробной части делителя петли ФАПЧ: PLL_DIV_FRAC=<b'0>;
# знаменатель дробной части делителя - без изменений
"name": "PLL_DIV_FRAC_PART",
"address": "0x019",
"value": "0x383"
},
{# Коррекция порога делителя дробного делителя частоты тактирования АЦП:
# PLL_DIV_TRS_LO=<d'513>
```

```
"name": "PLL_DIV_TRS",
"address": "0x01A",
"value": "0x201"
},
{# Включение схем подстройки активных полифазных фильтр
# каналов GLO, GPS: PPFS_PD_T_GLO=PPFS_PD_T_GPS=<b'0>
# Для контроля сигналов с УПЧ каналов, необходимо включить
# буферы линейных выходов записав "value": "0xfe5338"
"name": "ANALOG_CTRL",
"address": "0x01D",
# "value": "0xfe5338"
"value": "0xfe0338"
},
{# Снять сброс с делителя тактирующего схемы подстройки полифазных фильтров
# PLL_DIV100_RESETN=<b'1>
"name": "PLL_CTRL",
"address": "0x001",
"value": "0xe7e0a0"
},
{# Режим работы блока управления фильтрами канала GPS автоматический:
# PPF_CAL_MODE=<b'1>
"name": "PPF_CAL_GPS",
"address": "0x01B",
"value": "0x20"
},
{# Режим работы блока управления фильтрами канала GLO автоматический:
# PPF_CAL_MODE=<b'1>
"name": "PPF_CAL_GLO",
"address": "0x01C",
"value": "0x20"
},
{# Установить сброс делителя тактирующего схемы подстройки полифазных фильтров
# PLL_DIV100_RESETN=<b'0>
"name": "PLL_CTRL",
"address": "0x001",
"value": "0xe5e0a0"
```

```
},  
  
{# Выключение схем подстройки активных полифазных фильтр  
# каналов GLO, GPS: PPFS_PD_T_GLO=PPFS_PD_T_GPS=<b'1>  
# Для контроля сигналов с УПЧ каналов, необходимо включить  
# буферы линейных выходов записав "value": "0xfe5f38"  
"name": "ANALOG_CTRL",  
"address": "0x01D",  
# "value": "0xfe5f38"  
"value": "0xfe0f38"  
}  
]
```

## 7. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМЫ RFL1

### 7.1 Электрические параметры питания микросхемы RFL1

Рабочие характеристики электропитания микросхемы приведены в Таблица 7.1 для следующих условий: температура окружающей среды 25 °С; частота тактирования микросхемы на выводе ТСХО 26,48 МГц; в микросхему загружена типовая конфигурация (см. подраздел 6.2).

**Таблица 7.1. Рабочие характеристики электропитания**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Значение параметра		
		не менее	норма	не более
1	2	3	4	5
<b>1. Напряжение питания входного высокочастотного тракта по выводам: AVDD_LNA_0, AVDD_LNA_1, AVDD_PLL, AVDD_MIX, В</b>	$U_{RF\_3V3}$	3,13	3,3	3,46
<b>2. Напряжение питания тракта ПЧ по выводам: AVDD_PPFS, AVDD_ABUF, AVDD_VGA_GPS, AVDD_VGA_GLO, В</b>	$U_{IF\_3V3}$	3,13	3,3	3,46
<b>3. Напряжение питания прочих блоков по выводам: AVDD_IO, AVDD_THERM, AVDD_IREF, В</b>	$U_{MISC}$	3,13	3,3	3,46
<b>4. Напряжение на входах стабилизаторов питания ФАПЧ, АЦП, цифровой части, по выводам: AVDD_VR_PLL, AVDD_VR_ADC, AVDD_VR_DIG_IO, В</b>	$U_{VR\_IN}$	3,13	3,3	3,46
5. Напряжение питания ФАПЧ, АЦП, DDC, по выводам: CVDD_PLL, CVDD_ADC, DVDD, В	$U_{1V2}$	1,14	1,2	1,26
6. Выходное напряжение встроенных стабилизаторов по выводам: CVDD_PLL, CVDD_ADC, VR_DIG_OUT, при токе нагрузки 20 мА, В	$U_{VR\_OUT}$	1,183	1,200	1,205
7. Ток потребления встроенных стабилизаторов питания ФАПЧ, АЦП, цифровой части, мкА	$I_{0\_VREG}$	439	592	768

8. Суммарный ток потребления микросхемы от единого источника питания номиналом 3,3 В, без учета потребления по цепи AVDD_ABUF, мА	$I_{0\_SUM}$	49	50,3	52
8.1 Ток потребления входного высокочастотного тракта по выводам: AVDD_LNA_0, AVDD_LNA_1, AVDD_MIX, мА	$I_{RF\_3V3}$	9,1	9,4	9,7

### Продолжение таблицы 7.1

1	2	3	4	5
8.2 Ток потребления УПЧ по цепям AVDD_VGA_GPS, AVDD_VGA_GLO, AVDD_PPFS, AVDD_VR_ADC, AVDD_THERM, AVDD_IREF, мА	$I_{IF\_3V3}$	10,7	11	11,4
8.3 Ток потребления цифровой части по цепям AVDD_VR_DIG_IO, AVDD_IO, при токе нагрузки выводов GLO3, GPS3 $I_{LOAD} = 4$ мА, мА	$I_{DIG\_3V3}$	18,1	18,6	19,2
8.4 Ток потребления системы ФАПЧ по цепям AVDD_VR_PLL, AVDD_PLL, мА	$I_{PLL\_3V3}$	11,1	11,4	11,7
9. Ток потребления микросхемы по цепи питания буферов каналов AVDD_ABUF, мА	$I_{AVDD\_3V3}$	9,2	9,4	9,6

## 7.2 Общие электрические параметры микросхемы

Общие электрические параметры микросхемы приведены в Таблица 7.2.

**Таблица 7.2. Общие электрические параметры микросхемы**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Значение параметра		
		не менее	норма	не более
1	2	3	4	5
Выходное напряжение логического «0», В при $U_{MISC} = 3,3$ В, токе нагрузки 4 мА	$U_{ВЫХ0}$	0	-	0,4
Выходное напряжение логической «1», В при $U_{MISC} = 3,3$ В, токе нагрузки 4 мА	$U_{ВЫХ1}$	$U_{MISC} - 0,4$	-	$U_{MISC}$
Входное напряжение логического «0», В	$U_{ВХ0}$	0	-	$0,2 * U_{MISC}$

<b>при <math>U_{MISC} = 3,3</math> В, токе нагрузки 4 мА</b>				
Входное напряжение логической «1», В <b>при <math>U_{MISC} = 3,3</math> В, токе нагрузки 4 мА</b>	$U_{ВХ1}$	$0,8 \cdot U_{MISC}$	-	$U_{MISC}$
Диапазон принимаемых частот системы ГЛОНАСС, МГц	$F_{GLO}$	1597	-	1606,39
Диапазон принимаемых частот системы GPS, МГц	$F_{GPS}$	1573,13	-	1582,48
Частота опорного генератора на входе TCXO, МГц	$F_{TCXO}$	-	26,48	-
Частота гетеродина синтезатора частот, МГц при $F_{TCXO} = 26,48$ МГц	$F_{QVCO}$	-	1588,8	-

### Продолжение таблицы 7.2

1	2	3	4	5
Точка компрессии по входу LNA0 для уровня минус 1 дБ, дБмВт	$P_{1dB}$	минус 68	минус 65	-
Точка пересечения интермодуляции третьего порядка по входу, дБмВт.	IP3	-	минус 25	-
Уровень фазовых шумов гетеродина при отстройке на 100 кГц от несущей, дБ/Гц относительно несущей		-	минус 92,2	минус 80
Глубина (диапазон) регулировки АРУ, дБ	$\Delta G$	35	40	45
Тактовая частота последовательного интерфейса, МГц	$F_{CLK\_SPI}$	0,001	1,0	$F_{TCXO} / 5$

## 7.3 Параметры каналов приема микросхемы

Технические параметры для канала GPS приведены в Таблица 7.3, для канала GLO в

Таблица 7.4.

Таблица 7.3. Технические параметры канала GPS микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Значение параметра			Примечание
		мин.	норма	макс.	
Коэффициент шума, дБ	$K_{n\_gps}$	-	5,1	-	
Промежуточная частота, МГц	$F_{if\_gps}$	-	13,38	-	
Подавление зеркального канала, дБ		29	32	35	
Полоса пропускания полосового фильтра, МГц		-	4	-	По уровню -3 дБ.
Максимальный коэффициент усиления от входа LNA0 до входа АЦП тракта ПЧ, дБ	$G_{MAX}$	95	100	102	

Таблица 7.4. Технические параметры канала GLO микросхемы

Наименование параметра, буквенное обозначение, единица измерения	Буквенное обозначение	Значение параметра			Примечание
		мин.	норма	макс.	
1	2	3	4	5	6
Коэффициент шума, дБ	$K_{n\_gln}$	-	5,0	-	
Промежуточная частота, МГц	$F_{if\_gln}$	-	13,2	-	
Подавление зеркального канала, дБ		30	32	34	
Полоса пропускания полосового фильтра, МГц		-	8	-	По уровню -3 дБ.
Максимальный коэффициент усиления от входа LNA0 до входа АЦП тракта ПЧ, дБ	$G_{MAX}$	95	96	98	

## ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

GPS – (англ., Global Positioning System), система глобального позиционирования, спутниковая система навигации министерства обороны США.

ГЛОНАСС – (глобальная навигационная спутниковая система), российская спутниковая система навигации (англ. GLO).

Galileo – совместный проект спутниковой системы навигации Европейского союза и Европейского космического агентства.

GNSS – (англ., Global Navigation Satellite System), глобальная навигационная спутниковая система (рус. ГНСС).

МКК – многоканальный коррелятор.

КМОП – (комплементарная структура металл-оксид-полупроводник) – набор полупроводниковых технологий построения интегральных микросхем и соответствующая ей схемотехника микросхем.

ГУН – генератор управляемый напряжением.

QVCO – (англ., Quadrature Voltage Control Oscillator), генератор управляемый напряжением с квадратурными выходными сигналами.

ТСХО – (англ., Temperature Compensated Crystal Oscillator), термокомпенсированный кварцевый генератор.

ФАПЧ – фазовая автоподстройка частоты (англ. PLL).

АЦП – (англ., ADC), преобразователь аналогового сигнала в цифровой код.

ЦАП – (англ., DAC), преобразователь цифрового кода в аналоговый сигнал.

АРУ – автоматическая регулировка усиления (англ. AGC).

LUT – (англ., LookUp Table), структура данных, в которой хранятся результаты интерполяции функции

DDC – (англ., Digital Down Converter), цифровой преобразователь с понижением частоты, преобразует оцифрованный сигнал с ограниченной полосой частот в низкочастотный сигнал с более низкой частотой дискретизации.

КИХ – фильтр с конечной импульсной характеристикой (англ. FIR).

---

БИХ – фильтр с бесконечной импульсной характеристикой.

LSB – (англ., Least Significant Bit), наименьший значащий бит.

MSB – (англ., Most Significant Bit), старший значащий бит.

## Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопроводительного документа и дата	Подпись	Дата
	измененных	замененных	новых	аннулированных					