

MS1 datasheet

ОГЛАВЛЕНИЕ

1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	7
2. РАСПОЛОЖЕНИЕ ВЫВОДОВ	8
3. ОПИСАНИЕ ВЫВОДОВ	9
4. ОБЗОР	12
5. ПРОЦЕССОР	13
6. КАРТА ПАМЯТИ	14
7. СИСТЕМА СИНХРОНИЗАЦИИ	15
8. ПРЕРЫВАНИЯ	17
8.1 Первоначальная загрузка	17
8.2 Загрузка SPI	18
8.3 Загрузка XIP	18
9. КОНТРОЛЛЕР PLL	20
9.1 Описание регистра CLK_MULT	21
9.2 Описание регистра PLL_NRNFB	22
9.3 Описание регистра PLL_ODNB	22
9.4 Описание регистра MAIN_CTR	22
9.5 Описание регистра INT_CTR	27
9.6 Описание регистра CONTROL_SIGN	30
9.7 Описание регистра PLL_NRNFB_SIGN	31
9.8 Описание регистра PLL_ODNB_SIGN	31
9.9 Описание регистра PLL_CONTROL_SIGN	32
9.10 Описание регистра RST_PLL_TIME	33
10. УНИВЕРСАЛЬНЫЙ БЛОК РЕГИСТРОВ URB	35
10.1 Регистры urb	35
10.1.1 Описание регистра clk_ctrl	35
10.1.2 Описание регистра qspi_clk_ctrl	35
10.1.3 Описание регистра pll_ctrl	36
10.1.4 Описание регистра boot_ctrl	36
10.1.5 Описание регистра pps_ctrl	36
11. УНИВЕРСАЛЬНЫЙ ПОРТ ВВОДА/ВЫВОДА GPIO	38
11.1 Регистры gpio_DW_apb_gpio	38
11.1.1 Описание регистра GPIO_SWPORTA_DR	38
11.1.2 Описание регистра GPIO_SWPORTA_DDR	39
11.1.3 Описание регистра GPIO_INTEN	39
11.1.4 Описание регистра GPIO_INTMASK	39
11.1.5 Описание регистра GPIO_INTTYPE_LEVEL	40
11.1.6 Описание регистра GPIO_INTSTATUS	40
11.1.7 Описание регистра GPIO_RAW_INTSTATUS	41

11.1.8	Описание регистра GPIO_DEBOUNCE	41
11.1.9	Описание регистра GPIO_PORTA_EOI	41
11.1.10	Описание регистра GPIO_EXT_PORTA	42
12.	КОНТРОЛЛЕР UART	43
12.1	Общая информация	43
12.2	Регистры UART	43
12.2.1	Описание регистра RBR	44
12.2.2	Описание регистра IER	45
12.2.3	Описание регистра FCR	47
12.2.4	Описание регистра IIR	48
12.2.5	Описание регистра LCR	49
12.2.6	Описание регистра MCR	51
12.2.7	Описание регистра LSR	53
12.2.8	Описание регистра MSR	55
12.2.9	Описание регистра SCR	56
12.2.10	Описание регистра SRBR0 - 15	56
12.2.11	Описание регистра FAR	57
12.2.12	Описание регистра TFR	57
12.2.13	Описание регистра RFW	57
12.2.14	Описание регистра USR	58
12.2.15	Описание регистра TFL	59
12.2.16	Описание регистра RFL	59
12.2.17	Описание регистра SRR	60
12.2.18	Описание регистра SRTS	60
12.2.19	Описание регистра SBCR	60
12.2.20	Описание регистра SDMAM	61
12.2.21	Описание регистра SFE	61
12.2.22	Описание регистра SRT	61
12.2.23	Описание регистра STET	62
12.2.24	Описание регистра HTX	62
12.2.25	Описание регистра DMA SA	62
12.2.26	Описание регистра TCR	63
12.2.27	Описание регистра DE_EN	64
12.2.28	Описание регистра RE_EN	64
12.2.29	Описание регистра DET	65
12.2.30	Описание регистра TAT	65
12.2.31	Описание регистра DLF	66
12.2.32	Описание регистра CPR	66
12.2.33	Описание регистра UCV	68
12.2.34	Описание регистра CTR	68
13.	КОНТРОЛЛЕР SPI	69
13.1	Общая информация	69
13.2	Регистры	69
13.2.1	Регистр CTRLR0	71
13.2.2	Регистр CTRLR1	74

13.2.3	Регистр SSIENR	75
13.2.4	Регистр MWCR.....	75
13.2.5	Регистр SER.....	76
13.2.6	Регистр BAUDR	77
13.2.7	Регистр TXFTLR	78
13.2.8	Регистр RXFTLR.....	79
13.2.9	Регистр TXFLR.....	79
13.2.10	Регистр RXFLR	80
13.2.11	Регистр SR	80
13.2.12	Регистр IMR.....	81
13.2.13	Регистр ISR	82
13.2.14	Регистр RISR	82
13.2.15	Регистр TXOICR	83
13.2.16	Регистр RXOICR	83
13.2.17	Регистр RXUICR	84
13.2.18	Регистр MSTICR	84
13.2.19	Регистр ICR.....	85
13.2.20	Регистр IDR	85
13.2.21	Регистр SSI_VERSION_ID.....	86
13.2.22	Регистр DR0 – DR35	86
14.	КОНТРОЛЛЕР QSPI	87
14.1	Регистры QSPI.....	87
14.1.1	Описание регистра TX_DATA	88
14.1.2	Описание регистра RX_DATA	88
14.1.3	Описание регистра CTRL.....	89
14.1.4	Описание регистра CTRL_AUX.....	90
14.1.5	Описание регистра STAT	91
14.1.6	Описание регистра SS	92
14.1.7	Описание регистра SS_POL	92
14.1.8	Описание регистра INTR_EN	92
14.1.9	Описание регистра INTR_STAT.....	93
14.1.10	Описание регистра INTR_CLR.....	93
14.1.11	Описание регистра TX_FIFO_LVL	94
14.1.12	Описание регистра RX_FIFO_LVL	94
14.1.13	Описание регистра MASTER_DELAY	94
14.1.14	Описание регистра ENABLE	95
14.1.15	Описание регистра GPO_SET	95
14.1.16	Описание регистра GPO_CLR	96
14.1.17	Описание регистра FIFO_DEPTH	96
14.1.18	Описание регистра FIFO_WMARK	96
14.1.19	Описание регистра TX_DUMMY	96
15.	РЕЖИМ XIP (EXECUTE IN PLACE).....	98
15.1	Общая информация.....	98
15.2	Регистры QSPI_XIP_CFG.....	98
15.2.1	Описание регистра xip_cfg.....	98

16. ИНТЕРФЕЙС ЦИФРО-АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ DFE 100

16.1	Общая информация.....	100
16.2	Подготовка к работе	100
16.3	Регистры DFE	100
16.3.1	Описание регистра DFE_TOP_DEVID	102
16.3.2	Описание регистра DFE_TOP_PPS_DIV	102
16.3.3	Описание регистра DFE_TOP_CLK_SYNC_CFG	103
16.3.4	Описание регистра DFE_TOP_SYNC_CTRL	103
16.3.5	Описание регистра DFE_TOP_DMARX12_CTRL.....	104
16.3.6	Описание регистра DFE_TOP_DMATX12_CTRL.....	104
16.3.7	Описание регистра DFE_TOP_DRCNT_1	104
16.3.8	Описание регистра DFE_TOP_DRCNT_2	105
16.3.9	Описание регистра DFE_TOP_DRCNT_TRS_1	105
16.3.10	Описание регистра DFE_TOP_DRCNT_TRS_2	105
16.3.11	Описание регистра INT_CTRL_IRQ	105
16.3.12	Описание регистра INT_CTRL_IRQ_MASK.....	106
16.3.13	Описание регистра INT_CTRL_IRQ_RESET	107
16.3.14	Описание регистра INT_CTRL_IRQ_SENSE	108
16.3.15	Описание регистра INT_CTRL_DMA_INT	108
16.3.16	Описание регистра INT_CTRL_DMA_INT_MASK	109
16.3.17	Описание регистра INT_CTRL_DMA_INT_RESET	110
16.3.18	Описание регистра INT_CTRL_DMA_INT_SENSE.....	110
16.3.19	Описание регистра TX_SCHED0_SYNCCFG_CTRL.....	111
16.3.20	Описание регистра TX_SCHED0_CNT	112
16.3.21	Описание регистра TX_SCHED0_TASK	112
16.3.22	Описание регистра TX_SCHED1_SYNCCFG_CTRL.....	112
16.3.23	Описание регистра TX_SCHED1_CNT	113
16.3.24	Описание регистра TX_SCHED1_TASK	113
16.3.25	Описание регистра ADC_INTERFACE_ADC_CSR	113
16.3.26	Описание регистра RX_CHNL_CTRL	114
16.3.27	Описание регистра RX_CHNL_PPS_POS	114
16.3.28	Описание регистра TX_DAC_CTRL	114
16.3.29	Описание регистра TX_DAC_CODE	115
16.3.30	Описание регистра TX_CHNL_CTRL	115
16.3.31	Описание регистра TX_CHNL_TASK_STATE.....	116
16.3.32	Описание регистра TX_CHNL_DT0	117
16.3.33	Описание регистра TX_CHNL_DT1	117
16.3.34	Описание регистра TX_CHNL_DT2	117
16.3.35	Описание регистра TX_CHNL_TASK_TME.....	118
16.3.36	Описание регистра TX_CHNL_DR_CNT	118

17. УСТРОЙСТВО ПРЯМОГО ДОСТУПА К ПАМЯТИ DFE_DMA 119

17.1	Назначение и основные возможности	119
17.2	Регистры статуса и управления	119
17.3	Перечень регистров статуса и управления отдельного канала	120
17.3.1	Регистр CSR.....	121

17.3.2	Регистр BC	126
17.3.3	Регистр CPH	129
17.3.4	Регистр IRL	130
17.3.5	Регистр IRH	132
17.3.6	Регистр PCSR	133
17.3.7	Регистр EF_CNT	133
17.3.8	Регистр FLAG	134
17.3.9	Регистр MASK	136
17.3.10	Регистр IRQ_WR	137
17.3.11	Регистр IRQ_RD	137
17.4	Программное управление	138
17.4.1	Запуск и завершение выполнения задания	138
17.4.2	Принудительная остановка и запуск	139
17.4.3	Самоинициализация канала	140
17.5	Флаги и прерывания	141
17.5.1	Флаг DONE_FLAG	142
17.5.2	Флаг END_FLAG	142
17.5.3	Флаг RUN0_FLAG	142
17.5.4	Флаг CRESP_FLAG	143
17.5.5	Флаг DRESP_FLAG	143
18.	АНАЛОГОВАЯ ЧАСТЬ	144
18.1	Формат данных	145
19.	ВЫЯВЛЕННЫЕ ОГРАНИЧЕНИЯ	146
20.	СРЕДСТВА РАЗРАБОТКИ И ОТЛАДКИ	147
20.1	Компилятор	147
20.2	Сервер JTAG	147
20.3	Пример ПО	147
21.	СПИСОК ИЗМЕНЕНИЙ	148
21.1	30 апреля 2025 г	148
21.2	05 мая 2025 г	148

1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Системная частота: до 280 МГц.

Процессор

- архитектура RISC-V, 32 бит, расширения I,C,M,Z;
- суперскалярный с 9 стадийным конвейером;
- кэш инструкций 16 кБ;
- Coremark: 4.45/MHz.

Подсистема памяти:

- Однотактная на кристалльная память: 512 кБ.
- Четырехтактная на кристалльная память: 2 МБ.

Сигнальная подсистема:

- АЦП 10 бит, максимальная частота 19.2 МГц;
- ЦАП 12 бит, максимальная частота 19.2 МГц;
- DFE (digital front-end):
 - цифровая фильтрация;
 - передискретизация;
 - цифровое гетеродинирование;
 - DMA для организации обмена с CPU.

PLL:

- встроенный умножитель/делитель входной частоты

JTAG:

- поддержка OpenOCD;
- максимальная частота 25 МГц;

Загрузка:

- SPI/QSPI с поддержкой XIP;

Периферия:

- GPIO, 8 линий с поддержкой прерываний и функцией подавлениядребезга;
- UART максимальная скорость 1152000;
- SPI (x2 CS при загрузке по QSPI).

Напряжение питания:

- ядра – 1.1В +/- 5%;
- периферии – 3.3В +/-5%.

Корпус: QFN88.

3. ОПИСАНИЕ ВЫВОДОВ

Таблица 1. Внешние выводы

Номер	Название	Назначение
EP	VSS	Общая земля
1	PVDD	Питание периферии 3.3В
2	SPI_MISO	Интерфейс SPI
3	SPI_MOSI	Интерфейс SPI
4	SPI_NCS[1]	Интерфейс SPI
5	DVDD	Питание ядра 1.1В
6	SPI_NCS[0]	Интерфейс SPI
7	SPI_SCK	Интерфейс SPI
8	PVDD	Питание периферии 3.3В
9	UART_TX	Интерфейс UART
10	UART_RX	Интерфейс UART
11	DVDD	Питание ядра 1.1В
12	ADC_DCAL[2]	Шина калибровки АЦП
13	ADC_DCAL[1]	Шина калибровки АЦП
14	ADC_DCAL[0]	Шина калибровки АЦП
15	PVDD	Питание периферии 3.3В
16	ADC_CLK	Вход тактового сигнала АЦП
17	ADC_EN	Разрешение работы АЦП
18	ADC_OUT[9]	Выходная шина АЦП
19	ADC_OUT[8]	Выходная шина АЦП
20	ADC_OUT[7]	Выходная шина АЦП
21	ADC_OUT[6]	Выходная шина АЦП
22	PVDD	Питание периферии 3.3В
23	PVDD	Питание периферии 3.3В
24	ADC_OUT[5]	Выходная шина АЦП
25	ADC_OUT[4]	Выходная шина АЦП
26	ADC_OUT[3]	Выходная шина АЦП
27	ADC_OUT[2]	Выходная шина АЦП
28	ADC_OUT[1]	Выходная шина АЦП
29	ADC_OUT[0]	Выходная шина АЦП
30	PVDD	Питание периферии 3.3В
31	ADC_IN	Вход АЦП
32	R10K	Подключение внешнего резистора 10кОм

Номер	Название	Назначение
33	CVDD	Питание аналоговой части 1.1В
34	AVDD	Питание аналоговой части 3.3В
35	AGND	Земля аналоговой части 3.3В
36	DAC_S	Вход сигнала мультиплексирования ЦАП
37	PVDD	Питание периферии 3.3В
38	DAC_OUTP	Выход ЦАП
39	DAC_OUTM	Выход ЦАП
40	DAC_EN	Разрешение работы ЦАП
41	DAC_IN[0]	Входная шина ЦАП
42	DAC_IN[1]	Входная шина ЦАП
43	DAC_IN[2]	Входная шина ЦАП
44	PVDD	Питание периферии 3.3В
45	PVDD	Питание периферии 3.3В
46	DAC_IN[3]	Входная шина ЦАП
47	DAC_IN[4]	Входная шина ЦАП
48	DAC_IN[5]	Входная шина ЦАП
49	DAC_IN[6]	Входная шина ЦАП
50	DAC_IN[7]	Входная шина ЦАП
51	DAC_IN[8]	Входная шина ЦАП
52	PVDD	Питание периферии 3.3В
53	DAC_IN[9]	Входная шина ЦАП
54	DAC_IN[10]	Входная шина ЦАП
55	DAC_IN[11]	Входная шина ЦАП
56	DVDD	Питание ядра 1.1В
57	RST_N	Системный сброс
58	CLK	Вход ХТИ
59	PVDD	Питание периферии 3.3В
60	JTAG_TDO	Интерфейс JTAG
61	JTAG_TDI	Интерфейс JTAG
62	CVDD_PLL	Питание ФАПЧ 1.1В
63	JTAG_TMS	Интерфейс JTAG
64	JTAG_TRST_N	Интерфейс JTAG
65	JTAG_TCK	Интерфейс JTAG
66	PVDD	Питание периферии 3.3В
67	PVDD	Питание периферии 3.3В
68	QSPI_NCS	Интерфейс QSPI

Номер	Название	Назначение
69	QSPI_SCK	Интерфейс QSPI
70	QSPI_DAT[0]	Интерфейс QSPI
71	QSPI_DAT[1]	Интерфейс QSPI
72	QSPI_DAT[2]	Интерфейс QSPI
73	QSPI_DAT[3]	Интерфейс QSPI
74	PVDD	Питание периферии 3.3V
75	BOOT_MODE	Режим работы памяти
76	-	по conn
77	DVDD	Питание ядра 1.1V
78	DVDD	Питание ядра 1.1V
79	GPIO[7]	Интерфейс GPIO
80	GPIO[6]	Интерфейс GPIO
81	PVDD	Питание периферии 3.3V
82	GPIO[5]	Интерфейс GPIO
83	GPIO[4]	Интерфейс GPIO
84	GPIO[3]	Интерфейс GPIO
85	GPIO[2]	Интерфейс GPIO
86	GPIO[1]	Интерфейс GPIO
87	GPIO[0]	Интерфейс GPIO
88	PVDD	Питание периферии 3.3V

4. ОБЗОР

Микросхема MS1 построена на основе 32 битного процессора VeeR EH1 архитектуры RISC-V, включающего блок быстрой памяти данных размером 512кБ и имеющем кэш инструкций размером 16кБ. Имеет небольшой набор периферийных устройств, блок цифрового приемопередатчика, аналогово-цифровой и цифро-аналоговый преобразователи для взаимодействия с внешней аналоговой радиочастью.

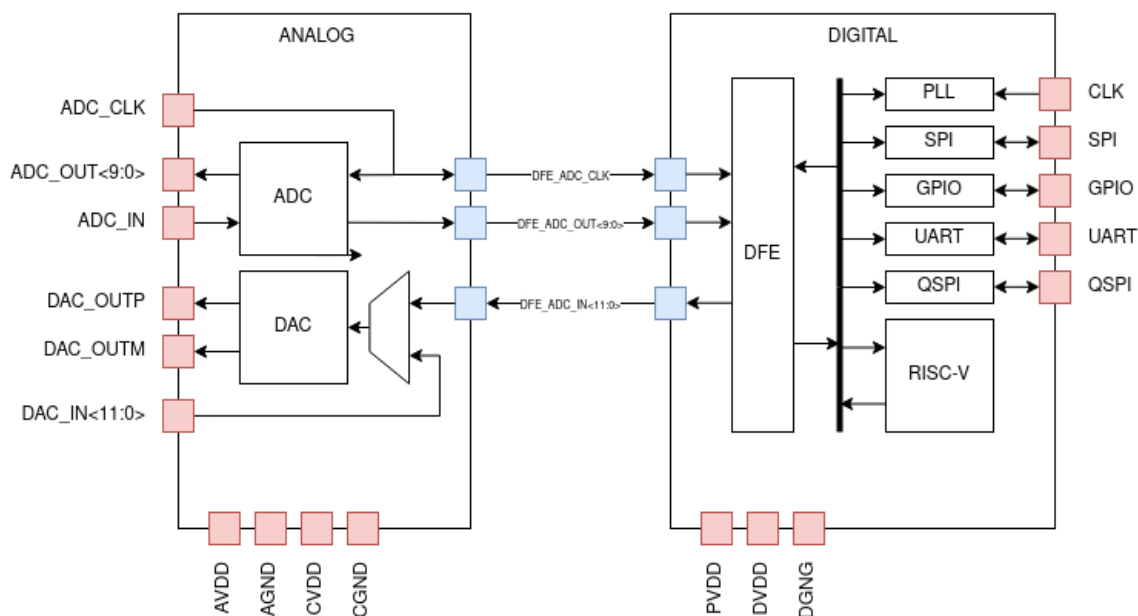


Рисунок 2. Структурная схема микросхемы

В микросхеме предусмотрена возможность загрузки с микросхем внешней памяти, подключенных к интерфейсам SPI/QSPI, либо исполнение в режиме XIP из памяти, подключенной к интерфейсу QSPI.

5. ПРОЦЕССОР

В VeeR EH1 реализован набор инструкций аппаратного уровня включая наборы:

- I — целочисленные операции;
- C — инструкции сокращенного размера(16бит);
- M — целочисленные операции деления и умножения;
- Zicsr — Инструкции для работы с регистрами CSR.

Для обозначения такой микроархитектуры используется сокращение rv32imc_zicsr.

Основные характеристики процессора:

- Устройство предсказания переходов
- Близкая память данных 512кБ
- Кэш инструкции 4го уровня ассоциативности, размером 16кБ
- Встроенный контроллер прерываний
- Раздельные интерфейсы для загрузки инструкций, доступа к данным, доступа к близкой памяти со стороны внешнего контроллера DMA
- Интервальный таймер

Более подробную информацию о процессоре Вы сможете найти в VeeR_EH1_Programmer Reference Manual.

6. КАРТА ПАМЯТИ

Таблица 2. Карта памяти микросхемы

Диапазон адресов	Название области	Размер	Описание
0x0008_0000-0x000F_FFFF	DCCM	512 кБ	Близкая память данных
0x2000_0000-0x201F_FFFF	RAM	2 МБ	Накристалльная память
0x2C00_0000-0x2C00_0003	QSPI_CFG	4 Б	Регистр управления XIP
0x2D00_0000-0x2DFF_FFFF	QSPI_XIP	16 МБ	Область отображения внешней памяти в режиме XIP/регистры QSPI
0x2FFF_F000-0x2FFF_FFFF	BOOTROM	4 кБ	ПЗУ
0x4000_0000-0x4001_FFFF	DFE	128кБ	Регистры DFE
0x4002_0000-0x4002_3FFF	DFE_DMA	16кБ	Регистры DFE_DMA
0x4002_4000-0x4002_7FFF	URB	16кБ	Регистры URB
0x4002_8000-0x4002_BFFF	PLL_CSR	16кБ	Регистры PLL_CSR
0x4008_0000-0x4008_3FFF	GPIO	16кБ	Регистры GPIO
0x4008_4000-0x4008_3FFF	UART	16кБ	Регистры UART
0x4008_8000-0x4008_BFFF	SPI	16кБ	Регистры SPI
0xF00C0000-0xF00CFFFF	PIC	64кБ	Регистры контроллера прерываний

7. СИСТЕМА СИНХРОНИЗАЦИИ

Микросхема имеет один источника сброса всей системы— внешний вывод RST_N, являющийся сигналом асинхронного сброса. Схема формирования тактовых частот и сбросов на рисунке 3.

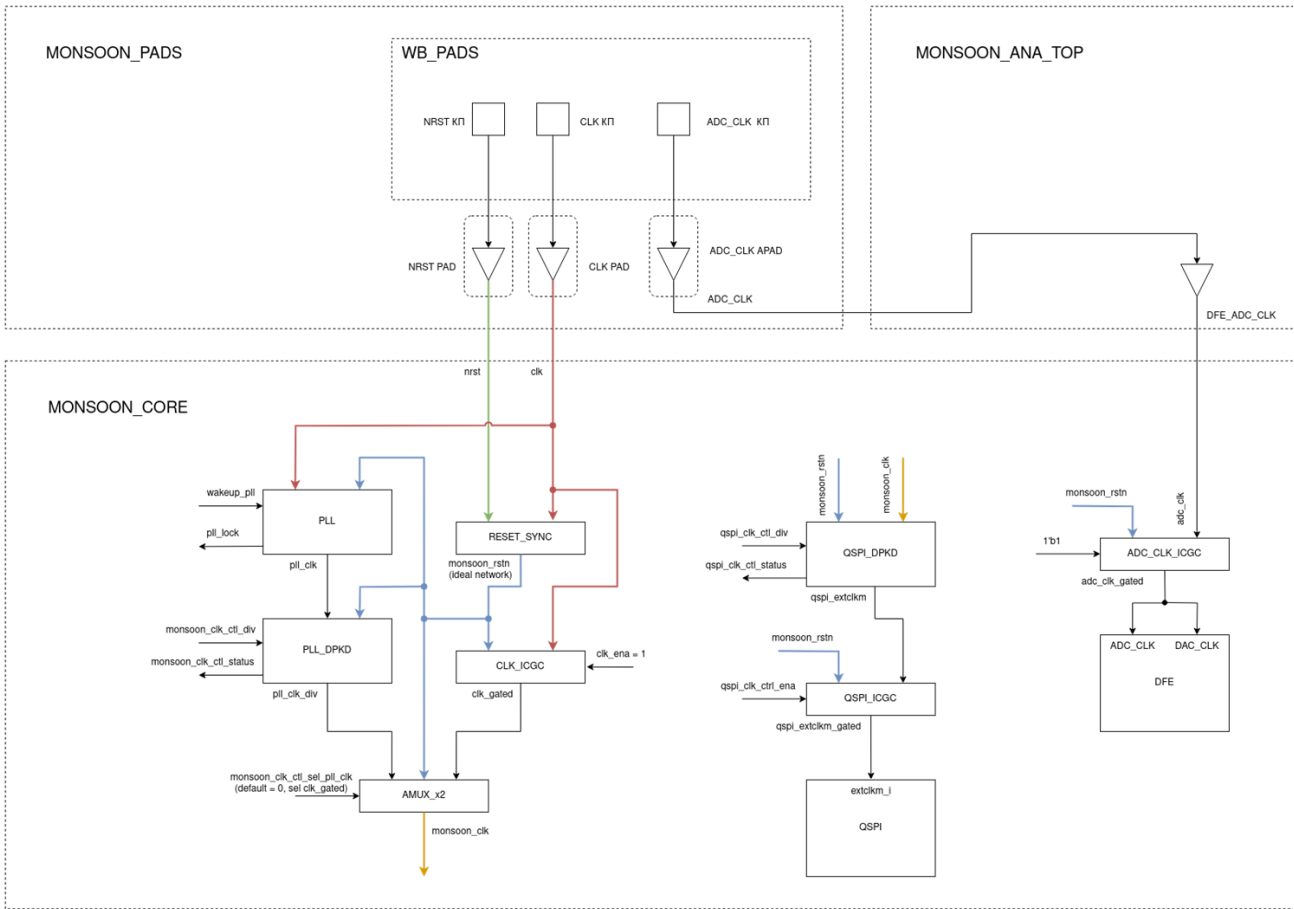


Рисунок 3. Система синхронизации

Значения тактовых частот и из описания приведены в таблице 3. Управление делителями частоты, включение тактовых сигналов, их выбор производится регистрами Универсальный блок регистров URB

Таблица 3. Значения частот

Тактовый сигнал	Минимальная частота, МГц	Максимальная частота, МГц	Описание
Внешние сигналы			
JTAG_TCK	1	25	Вход, интерфейса отладки

Тактовый сигнал	Минимальная частота, МГц	Максимальная частота, МГц	Описание
ADC_CLK	1	38.4	Вход, аналоговой части микросхемы, удвоенная частота дискретизации
CLK	10	10	Вход опорной частоты PLL
QSPI_SCK	1	50	Выход, тактовый сигнал внешней микросхемы памяти
Внутренние сигналы			
PLL_CLK	10	800	Выходная частота PLL
MS1_CLK	1	280	Основная системная частота
DFE_ADC_CLK	0.5	19.2	Фактическая частота дискретизации ADC_CLK/2
DFE_DAC_CLK	0.5	19.2	Фактическая частота дискретизации ADC_CLK/2

8. ПРЕРЫВАНИЯ

В VeeR_EH1 прерывания разделяются на два уровня: Локальные - управляемый регистрами CSR mie/mip и прерывания от внешних по отношению к VeeR_EH1 источников, реализованные в микросхеме локальные прерывания приведены в таблице 4. Внешние прерывания в таблице 5.

Таблица 4. Поля регистров mie и mip

Название	Разряд	Описание
mitie0	29	Внутренний интервальный таймер 0
mitie1	28	Внутренний интервальный таймер 1
meie	11	Внешние прерывания
reserved	0..10,12..27,30..31	Зарезервировано

Таблица 5. Внешние прерывания

Название	Номер	Описание
dfe_dma_rd_int	7	Прерывание DFE_DMA
dfe_dma_wr_int	6	Прерывание DFE_DMA
pll_int	5	Прерывание PLL
dfe_int	4	Прерывание DFE
qspi_int	3	Прерывание QSPI
gpio_int	2	Прерывание GPIO
uart_int	1	Прерывание UART
spi_int	0	Прерывание SPI

Для включения внешних прерываний требуется программирование регистров PLIC см. VeeR_EH1_Programmer Reference Manual.

8.1 Первоначальная загрузка

После снятия системного сигнала сброса RSTN процессор начинает исполнение из адреса 0x2FFFF000(ПЗУ). Программа загрузчика анализирует состояние внешнего вывода BOOT_MODE и в зависимости от него происходит дальнейшая загрузка из микросхемы FLASH памяти подключенной к интерфейсам QSPI или SPI.

Таблица 6. Выбор варианта загрузки

Состояние BOOT_MODE	Источник программы
0	загрузка из микросхемы SPI FLASH подключенной к выводам QSPI в режиме XIP
1	загрузка из микросхемы SPI FLASH подключенной к выводам SPI

8.2 Загрузка SPI

Схема подключения микросхемы SPI FLASH накопителя к сигнальным выводам микросхемы для реализации режима загрузки "SPI" на рисунке 4. Остальные выводы микросхемы FLASH накопителя подключаются согласно документации на применяемую микросхему.

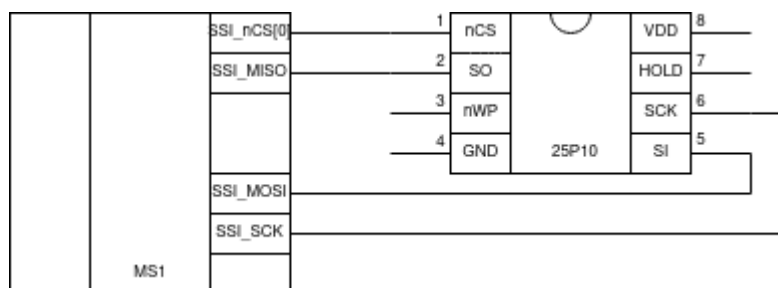


Рисунок 4. Схема подключения SPI FLASH к контроллеру SPI

Производится вычитка 1кБ из памяти SPI FLASH в режиме чтения normal read (0x3), с последующей записью их в область памяти по адресу внутреннего ОЗУ 0x201FFC00. По окончании вычитки производится программный переход на адрес 0x201FFC00. По окончании вычитывания и передаче управления считанной программе, следует вычитать оставшееся ПО из памяти.

Следует иметь в виду, что по окончании процедуры загрузки, сигнал SlaveSelect на микросхеме SPI-флеш остается в активном состоянии и её регистр адреса указывает на адрес 0x400. Таким образом можно либо дальше продолжить чтение данных из SPI-FLASH, начиная (продолжая) с адреса 0x400, либо сбросить сигнал SlaveSelect в неактивное состояние и начать процедуру чтения заново с любого произвольного адреса. Для продолжения чтения данных из SPI-FLASH нужно указать количество 32-битных слов в регистре CTRLR1, записать нули в DRx и проверить в RXFLR заполненность FIFO.

8.3 Загрузка XIP

Загрузка производится в режиме прямого исполнения XIP (eXecute in place) из микросхемы SPI FLASH, подключенной к порту QSPI см. рисунок 5.

Производится настройка контроллера QSPI и программный переход на адрес 0x2D000000. Начиная с этого адреса выделено 16 Мегабайт адресного пространства, при обращении к которому будет производиться чтение из SPI-флеш. Загрузка производится в режиме максимальной совместимости с SPI-флеш накопителями в режиме чтения 0x3. По мере загрузки ПО можно проверять тип используемой памяти, переключаться на более высокоскоростные режимы чтения, поднимать частоту SCK и т. п. Назначение выводов в режиме QSPI приведено в таблице 7.

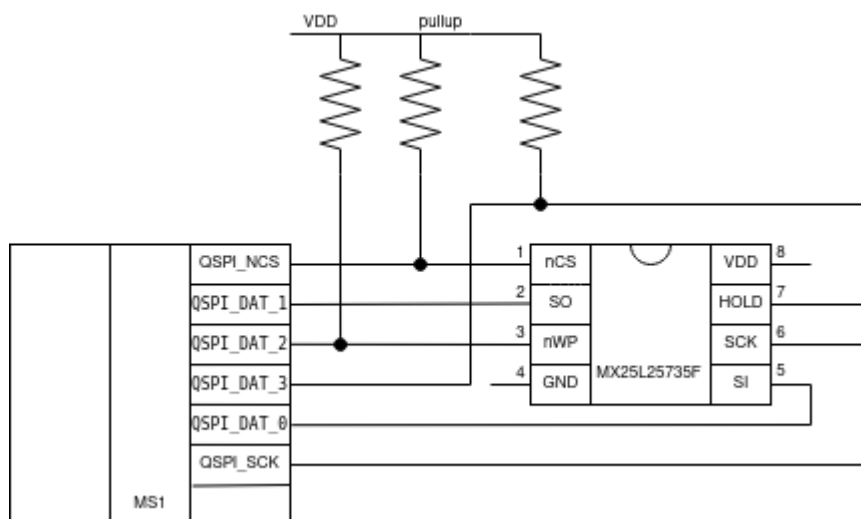


Рисунок 5. Схема подключения SPI FLASH к контроллеру QSPI

Программное обеспечение следует компилировать начиная с адреса 0x2D000000, который будет соответствовать адресу 0x0000 во внешнем ПЗУ. Запрещено записывать данные в процессе исполнения ПО в адреса 0x2D000000+16Мбайт.

Запись образа ПО во внешнее ПЗУ следует производить, исполняясь из области памяти RAM0 или RAM1.

Таблица 7. Соответствие выводов контроллера QSPI выводам микросхемы памяти

Вывод микросхемы MS1	Вывод микросхемы памяти
QSPI_SCK	SCK/SCK
QSPI_DAT_0	MOSI/IO[0]
QSPI_DAT_1	MISO/IO[1]
QSPI_DAT_2	nWP/IO[2]
QSPI_DAT_3	nHOLD/IO[3]
QSPI_NCS	nCS

Приведенная схема включения обеспечивает возможность переключения режимов вычитывания данных от стандартного режима SPI вплоть до QPI, если это поддерживается микросхемой памяти.

9. КОНТРОЛЛЕР PLL

Контроллер синтезатора частоты предназначен для формирования тактового сигнала в диапазоне 10-800 МГц. Имеется возможность реализовывать как прямое управление множителями PLL, позволяющее получить многообразие синтезируемых частот, так и простой ряд целочисленных множителей. Имеется аппаратная реализация процедур запуска, остановки и смены множителей PLL по команде. Содержит выход прерывания по нескольким событиям с маской для каждого события. Регистры контроллера приведены в таблице ниже.

Таблица 8. Регистры контроллера

Смещение	Условное обозначение	Назначение	Исходное состояние
0x00	CLK_MULT	Регистр задания простого целочисленного множителя опорной частоты	0x0000_0002
0x04	PLL_NRNF	Регистр задания коэффициентов умножения NR и NF для PLL	0x001F_0000
0x08	PLL_ODNB	Регистр задания коэффициентов умножения OD и NB для PLL	0x000F_000F
0x0C	MAIN_CTR	Основной регистр управления выходной частотой и устройством PLL	0x0000_0000
0x14	INT_CTR	Регистр масок и флагов прерываний	0x0000_0000
0x18	CONTROL_SIGN	Дополнительный регистр прямого управления функциями контроллера	0x0000_0111
0x1C	PLL_NRNF_SIGN	Регистр прямого управления входами коэффициентов умножения NR и NF у PLL	0x001F_0000
0x20	PLL_ODNB_SIGN	Регистр прямого управления входами коэффициентов умножения OD и NB у PLL	0x000F_000F
0x24	PLL_CONTROL_SIGN	Регистр прямого управления входами/выходами PLL	0x0000_0083
0x28	RST_PLL_TIME	Регистр задания временных параметров установки сигнала сброса для PLL и таймаута ожидания установки сигнала LOCK	0x0000_0040

9.1 Описание регистра CLK_MULT

Формат регистра CLK_MULT приведен в следующей таблице:

Таблица 9. Поля регистра CLK_MULT

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7:0	MULT	Поле MULT - целочисленный множитель опорной частоты для формирования выходной частоты. Может принимать значения от 2 до 150 с шагом 1. При записи значений 0 и 1, они будут скорректированы до 2, значения больше 150 будут уменьшены до 150. Определяет значение выходной частоты $F_{\text{вых}} = 10\text{МГц} * \text{MULT}$, где 10МГц опорная частота. В результате, можно получить выходную частоту в диапазоне от 20МГц до 1500МГц с шагом 10МГц. Это поле позволяет одной записью задать целочисленный множитель без установки набора коэффициентов умножения/деления для PLL в регистрах PLL_NRNФ и PLL_ODNB. При записи в это поле, исходя из значения MULT, по таблице вычисляются новые коэффициенты, которые автоматически записываются в соответствующие поля регистров PLL_NRNФ и PLL_ODNB, где доступны для чтения и записи. Таблица коэффициентов рассчитана для входной опорной частоты 10МГц и диапазона множителя MULT от 2 до 150 с шагом 1. Для других опорных частот коэффициенты будут неверны. PLL синтезирует выходную частоту на основе значений коэффициентов в регистрах PLL_NRNФ и PLL_ODNB, а регистр CLK_MULT является промежуточным звеном для облегчения настройки PLL. Для получения выходной частоты вне предлагаемых значений (от 20МГц до 1500МГц с шагом 10МГц) необходимо использовать регистры PLL_NRNФ и PLL_ODNB.	2

9.2 Описание регистра PLL_NRNF

Формат регистра PLL_NRNF приведен в следующей таблице:

Таблица 10. Поля регистра PLL_NRNF

Диапазон	Название	Описание	Сброс
31:29	-	Резерв	0
28:16	CLKF	NF - коэффициент умножения частоты VCO. Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NF. CLKF[12:0] = NF - 1, CLKF[0] - LSB	0x1f
15:6	-	Резерв	0
5:0	CLKR	NR - коэффициент деления входной частоты. Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NR. CLKR[5:0] = NR - 1, CLKR[0] - LSB	0

9.3 Описание регистра PLL_ODNB

Формат регистра PLL_ODNB приведен в следующей таблице:

Таблица 11. Поля регистра PLL_ODNB

Диапазон	Название	Описание	Сброс
31:28	-	Резерв	0
27:16	BWADJ	NB - коэффициент управления полосой пропускания PLL. Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NB. BWADJ[11:0] = NB - 1, BWADJ[0] - LSB. В общем случае значение должно быть равно $(CLKF + 1) / 2 - 1$	0xf
15:4	-	Резерв	0
3:0	CLKOD	OD - коэффициент деления частоты VCO для получения выходной частоты. Значение, записываемое в это поле, должно быть на 1 меньше коэффициента OD. CLKOD[3:0] = OD - 1, CLKOD[0] - LSB	0xf

9.4 Описание регистра MAIN_CTR

Формат регистра MAIN_CTR приведен в следующей таблице:

Таблица 12. Поля регистра MAIN_CTR

Диапазон	Название	Описание	Сброс
31	LOCK	Сигнал захвата генерируемой частоты устройством PLL: 0 - нет захвата частоты; 1 -	0

Диапазон	Название	Описание	Сброс
		есть захват частоты. PLL автоматически устанавливает этот сигнал при завершении процесса подстройки генерируемой частоты. Сигнал LOCK сбрасывается в 0 при потере подстройки генерируемой частоты при сбросе или переводе PLL в энергосберегающий режим или по другой причине.	
30:20	-	Резерв	0
19:16	PLL_STATE	Состояние автомата управления выходной частотой и устройством PLL: 0b0000 - состояние IDLE. Устройство PLL остановлено и находится в состоянии пониженного энергопотребления. На выход OUT_CLK передаётся входная опорная частота. Находясь в этом состоянии, автомат управления воспринимает команды запуска процесса настройки PLL по записи 1 в бит START_PLL_PROC или по активному сигналу WAKEUP с установленным битом WAKEUP_START_PLL_EN=1 в регистре WAKEUP_CTR; 0b0001 - получена команда запуска процесса настройки PLL - запись 1 в бит START_PLL_PROC или активный сигнал WAKEUP с установленным битом WAKEUP_START_PLL_EN=1 в регистре WAKEUP_CTR. Выполняется запись коэффициентов из регистров PLL_NRNФ, PLL_ODNB в регистры PLL_NRNФ_SIGN, PLL_ODNB_SIGN, откуда значения поступают на входы PLL. Устройство PLL переводится в рабочее состояние с установленным сигналом сброса. В регистре PLL_CONTROL_SIGN бит PWRDN_SIGN автоматически переводится в 0. На выход OUT_CLK передаётся входная опорная частота; 0b0011 - отсчёт времени TMRP - время нахождения устройства PLL под сбросом для настройки на новые коэффициенты, активный уровень сигнала сброса - высокий. Время TMRP задаётся в тактах опорной частоты в регистре RST_PLL_TIME. По спецификации, это время должно быть не менее 5 микросекунд для того, чтобы PLL выполнило сброс и отработало (приняло во внимание) новые коэффициенты умножения. На выход OUT_CLK передаётся входная опорная частота; 0b0010 - время TMRP истекло. Установка сигнала сброса PLL в неактивное состояние. В регистре PLL_CONTROL_SIGN бит	0

Диапазон	Название	Описание	Сброс
		RESET_SIGN автоматически переводится в 0. На выход OUT_CLK передаётся входная опорная частота; 0b0110 - PLL выполняет захват (подстройку) генерируемой частоты. При завершении подстройки, PLL автоматически переводит сигнал LOCK в 1. Состояние сигнала LOCK отображается в бите LOCK этого регистра. В этом состоянии выполняется ожидание установки сигнала захвата частоты LOCK или ожидание таймаута установки сигнала LOCK. Время таймаута задаётся в тактах опорной частоты в поле TOUTL регистра RST_PLL_TIME. Если TOUTL=0, то отсчёт и ожидание таймаута отключено. Если сработает таймаут, то осуществляется автоматический переход на процедуру останова PLL в состояние 0b1100 и устанавливается флаг прерывания TOUT_LOCK_FLG в регистре INT_CTR. На выход OUT_CLK передаётся входная опорная частота; 0b0100 - устройство PLL выполнило захват частоты, сигнал LOCK установился в 1. Бит OUT_CLK_EN в регистре CONTROL_SIGN автоматически переводится в 0 и выполняется отключение тактирования выходной частоты на выходе OUT_CLK. Выход OUT_CLK находится в 0; 0b0101 - выходная частота на OUT_CLK отключена. Выполняется переход с опорной частоты на генерируемую от PLL частоту. Бит BYPASS в регистре CONTROL_SIGN переводится в 0. Выход OUT_CLK находится в 0; 0b1101 - задержка несколько тактов для завершения переходных процессов мультиплексирования частот. Выход OUT_CLK находится в 0; 0b1111 - включение тактирования выходной частоты на выходе OUT_CLK. Бит OUT_CLK_EN в регистре CONTROL_SIGN переводится в 1. Выход OUT_CLK находится в 0; 0b0111 - рабочее состояние DONE, настройка PLL завершена и генерируемая PLL требуемая частота передаётся на выход OUT_CLK синтезатора. Находясь в этом состоянии, автомат управления воспринимает команды запуска настройки PLL по записи 1 в бит START_PLL_PROC или по активному сигналу WAKEUP с установленным битом WAKEUP_START_PLL_EN=1 в регистре	

Диапазон	Название	Описание	Сброс
		WAKEUP_CTR. Такой функционал необходим в ситуации, когда требуется уже настроенную PLL перенастроить на другие коэффициенты, которые заранее необходимо записать в регистры PLL_NRNФ и PLL_ODNB; 0b1100 - переход в это состояние при получении команды остановки PLL (запись 1 в бит STOP_PLL_PROC) или при срабатывании таймаута ожидания сигнала LOCK или при потере захвата генерируемой частоты устройством PLL, когда сигнал LOCK переключается из 1 в 0. Выполняется отключение тактирования выходной частоты на выходе OUT_CLK, бит OUT_CLK_EN в регистре CONTROL_SIGN автоматически переводится в 0; 0b1110 - выходная частота на OUT_CLK отключена, OUT_CLK находится в 0. Выполняется отключение и перевод PLL в энерго-сберегающий режим, в регистре PLL_CONTROL_SIGN биты PWRDN_SIGN и RESET_SIGN автоматически переводятся в 1. Также выполняется переход с генерируемой от PLL частоты на входную опорную частоту, бит BYPASS в регистре CONTROL_SIGN переводится в 1; 0b1010 - задержка несколько тактов для завершения переходных процессов мультиплексирования частот. Выход OUT_CLK находится в 0; 0b1000 - включение тактирования выходной частоты на выходе OUT_CLK. Бит OUT_CLK_EN в регистре CONTROL_SIGN переводится в 1. На выход OUT_CLK передаётся входная опорная частота.	
15:2	-	Резерв	0
1	STOP_PLL_PROC	Запись 1 в этот бит запускает процесс остановки и перевода PLL в состояние пониженного энергопотребления, при этом на выход передаётся входная опорная частота. Бит доступен только на запись 1. Бит STOP_PLL_PROC будет установлен в 1 все время пока выполняется процесс остановки PLL и автоматически сбрасывается в 0 после завершения процесса. Когда бит STOP_PLL_PROC установлен в 1, все новые команды остановки PLL (запись 1 в этот бит) игнорируются. Запуск возможен только когда STOP_PLL_PROC=0. Но при этом, остановить PLL можно независимо от состояния	0

Диапазон	Название	Описание	Сброс
		бита START_PLL_PROC. Поле PLL_STATE этого регистра позволяет контролировать протекание процессов настройки и остановки PLL по состояниям. После завершения остановки (STOP_PLL_PROC=0 и состояние PLL_STATE=0x0) на выход передаётся входная опорная частота, а само устройством PLL находится в энергосберегающем режиме. При одновременной записи 1 в биты STOP_PLL_PROC и START_PLL_PROC запускается только процесс остановки PLL, а команда START_PLL_PROC игнорируется. Т.е. у команды STOP_PLL_PROC приоритет над другими командами запуска PLL. При этом можно одновременно установить биты RST_DEV_PROC и STOP_PLL_PROC. Если такое произошло, то два процесса работают параллельно, не мешая друг другу.	
0	START_PLL_PROC	Запись 1 в этот бит или активный сигнал WAKEUP с установленным битом WAKEUP_START_PLL_EN=1 в регистре WAKEUP_CTR запускает процесс настройки/перенастройки PLL на новую выходную частоту. Но предварительно необходимо задать требуемые значения коэффициентов в регистрах PLL_NRNF, PLL_ODNB или использовать регистр CLK_MULT для их установки. Бит доступен только на запись 1. Бит START_PLL_PROC будет установлен в 1 все время пока выполняется процесс настройки PLL и автоматически установится в 0 после завершения процесса. Когда бит START_PLL_PROC установлен в 1, то все новые команды запуска PLL (запись 1 в этот бит или активный WAKEUP с битом WAKEUP_START_PLL_EN=1) игнорируются. Запуск возможен только когда START_PLL_PROC=0. Поле PLL_STATE этого регистра позволяет контролировать протекание процессов настройки/перенастройки PLL по состояниям. В процессе настройки PLL, на выход передаётся входная опорная частота. После завершения настройки (START_PLL_PROC=0 и состояние PLL_STATE = 0x7), на выход передаётся генерируемая PLL частота. Если PLL уже настроена и генерирует частоту на выход (START_PLL_PROC=0 и состояние PLL_STATE = 0x7), то можно подать новую	0

Диапазон	Название	Описание	Сброс
		команду START_PLL_PROC (или активный сигнал WAKEUP с битом WAKEUP_START_PLL_EN=1) и устройство PLL через процесс остановки перенастроится на значения коэффициентов из регистров PLL_NRNФ, PLL_ODNB (новые значения или те же самые). Изменять коэффициенты в регистрах PLL_NRNФ, PLL_ODNB можно в любой момент, они не оказывают влияние на функционирование PLL. При подаче команды START_PLL_PROC (или активный сигнал WAKEUP с битом WAKEUP_START_PLL_EN=1) коэффициенты из PLL_NRNФ, PLL_ODNB переписываются в регистры PLL_NRNФ_SIGN, PLL_ODNB_SIGN, откуда значения непосредственно подаются на управляющие входы PLL. При одновременной записи 1 в биты STOP_PLL_PROC и START_PLL_PROC, команда START_PLL_PROC игнорируется. Также игнорируется активный сигнал WAKEUP если поступает одновременно с записью 1 в бит STOP_PLL_PROC. При этом можно одновременно установить биты RST_DEV_PROC и START_PLL_PROC. Если такое произошло, то два процесса работают параллельно, не мешая друг другу	

9.5 Описание регистра INT_CTR

Формат регистра INT_CTR приведен в следующей таблице:

Таблица 13. Поля регистра INT_CTR

Диапазон	Название	Описание	Сброс
31	INT	Прерывание INT объединяет по "ИЛИ" все перечисленные в регистре флаги с учётом их масок, передаётся на выход INT синтезатора. Для сброса прерывания необходимо сбросить маску или флаг, который вызвал установку прерывания.	0
30:26	-	Резерв	0

Диапазон	Название	Описание	Сброс
25	PLL_STOP_FLG	Флаг того, что процесс остановки PLL завершён и на выход OUT_CLK передаётся входная опорная частота. При этом в регистре MAIN_CTR: бит STOP_PLL_PROC=0 и поле PLL_STATE=0b0000. Бит доступен на чтение, сбрасывается в 0 записью 1. Флаг PLL_STOP_FLG участвует в формировании прерывания INT, если установлена маска PLL_STOP_MASK. Сброс флага приводит к сбросу прерывания.	0
24	PLL_DONE_FLG	Флаг того, что процесс настройки PLL на требуемые коэффициенты завершён и на выход OUT_CLK передаётся генерируемая PLL требуемая частота. При этом в регистре MAIN_CTR: бит START_PLL_PROC=0 и поле PLL_STATE=0b0111. Бит доступен на чтение, сбрасывается в 0 записью 1. Флаг PLL_DONE_FLG участвует в формировании прерывания INT, если установлена маска PLL_DONE_MASK. Сброс флага приводит к сбросу прерывания.	0
23:22	-	Резерв	0
21	WAKEUP10_FLG	Флаг того, что входной сигнал пробуждения WAKEUP переключился из 1 в 0. Бит доступен на чтение, сбрасывается в 0 записью 1. Флаг WAKEUP10_FLG участвует в формировании прерывания INT, если установлена маска WAKEUP10_MASK. Сброс флага приводит к сбросу прерывания.	0
20	WAKEUP01_FLG	Флаг того, что входной сигнал пробуждения WAKEUP переключился из 0 в 1. Бит доступен на чтение, сбрасывается в 0 записью 1. Флаг WAKEUP01_FLG участвует в формировании прерывания INT, если установлена маска WAKEUP01_MASK. Сброс флага приводит к сбросу прерывания.	0
19	-	Резерв	0

Диапазон	Название	Описание	Сброс
18	TOUT_LOCK_FLG	Флаг того, что в процессе настройки PLL произошёл таймаут ожидания сигнала LOCK от PLL. Устанавливается, когда автомат управления выходной частотой и устройством PLL ожидает сигнал LOCK больше заданного времени. Значение времени таймаута задаётся в поле TOUTL регистра RST_PLL_TIME. Если TOUTL=0, то отсчёт времени таймаута не ведётся. Бит доступен на чтение, сбрасывается в 0 записью 1. Флаг TOUT_LOCK_FLG участвует в формировании прерывания INT, если установлена маска TOUT_LOCK_MASK. Сброс флага приводит к сбросу прерывания.	0
17	0	Флаг того, что устройство PLL потеряло подстройку (захват) генерируемой частоты по какой-либо причине, при этом PLL переводит сигнал LOCK из состояния 1 в 0. Бит доступен на чтение, сбрасывает в 0 записью 1. Флаг LOCK10_FLG участвует в формировании прерывания INT, если установлена маска LOCK10_MASK. Сброс флага приводит к сбросу прерывания.	0
16	0	Флаг того, что устройство PLL выполнило подстройку (захват) генерируемой частоты, при этом PLL переводит сигнал LOCK из состояния 0 в 1. Бит доступен на чтение, сбрасывает в 0 записью 1. Флаг LOCK01_FLG участвует в формировании прерывания INT, если установлена маска LOCK01_MASK. Сброс флага приводит к сбросу прерывания.	0
15:10	-	Резерв	0
9	PLL_STOP_MASK	Маска установки прерывания INT по флагу PLL_STOP_FLG: 0 - запрещено; 1 - разрешено. Если маска PLL_STOP_MASK=1 и установился флаг PLL_STOP_FLG, то установится прерывание INT.	0
8	PLL_DONE_MASK	Маска установки прерывания INT по флагу PLL_DONE_FLG: 0 - запрещено; 1 - разрешено. Если маска PLL_DONE_MASK=1 и установился флаг PLL_DONE_FLG, то установится прерывание INT.	0
7:6	-	Резерв	0

Диапазон	Название	Описание	Сброс
5	WAKEUP10_MASK	Маска установки прерывания INT по флагу WAKEUP10_FLG: 0 - запрещено; 1 - разрешено. Если маска WAKEUP10_MASK=1 и установился флаг WAKEUP10_FLG, то установится прерывание INT.	0
4	WAKEUP01_MASK	Маска установки прерывания INT по флагу WAKEUP01_FLG: 0 - запрещено; 1 - разрешено. Если маска WAKEUP01_MASK=1 и установился флаг WAKEUP01_FLG, то установится прерывание INT.	0
3	-	Резерв	0
2	TOUT_LOCK_MASK	Маска установки прерывания INT по флагу TOUT_LOCK_FLG: 0 - запрещено; 1 - разрешено. Если маска TOUT_LOCK_MASK=1 и установился флаг TOUT_LOCK_FLG, то установится прерывание INT.	0
1	LOCK10_MASK	Маска установки прерывания INT по флагу LOCK10_FLG: 0 - запрещено; 1 - разрешено. Если маска LOCK10_MASK=1 и установился флаг LOCK10_FLG, то установится прерывание INT.	0
0	LOCK01_MASK	Маска установки прерывания INT по флагу LOCK01_FLG: 0 - запрещено; 1 - разрешено. Если маска LOCK01_MASK=1 и установился флаг LOCK01_FLG, то установится прерывание INT.	0

9.6 Описание регистра CONTROL_SIGN

Формат регистра CONTROL_SIGN приведен в следующей таблице:

Таблица 14. Поля регистра CONTROL_SIGN

Диапазон	Название	Описание	Сброс
31:5	-	Резерв	0
4	BYPASS	Бит выбора частоты передаваемой на выход OUT_CLK: 0 - на выход передаётся генерируемая PLL частота. Бит BYPASS устанавливается в 0 автоматом управления при завершении настройки PLL; 1 - на выход передаётся входная опорная частота, режим "обходного пути". Бит BYPASS устанавливается в 1 автоматом управления, когда PLL отключена и находится в режиме пониженного энергопотребления. Этот режим "обходного пути" не использует режим BYPASS самой PLL, он реализован на уровне синтезатора частоты	1

Диапазон	Название	Описание	Сброс
		за пределами PLL. После глобального сброса бит BYPASS устанавливается в 1 и на выход OUT_CLK выдаётся входная опорная частота, если бит OUT_CLK_EN=1.	
3:1	-	Резерв	0
0	OUT_CLK_EN	Разрешение выдавать сигнал тактирования на выход OUT_CLK: 0 - тактирование запрещено, выход OUT_CLK в 0; 1 - тактирование разрешено, на выход OUT_CLK подаётся частота выбранная битом BYPASS. Исходное значение этого бита после глобального сброса зависит от подключения синтезатора в схему. Если OUT_CLK_EN=1, то на выход OUT_CLK передаётся входная опорная частота. Если OUT_CLK_EN=0, то выход OUT_CLK=0.	0

9.7 Описание регистра PLL_NRNF_SIGN

Формат регистра PLL_NRNF_SIGN приведен в следующей таблице:

Таблица 15. Поля регистра PLL_NRNF_SIGN

Диапазон	Название	Описание	Сброс
31:29	-	Резерв	0
28:16	CLKF_SIGN	Значение подаваемое на вход CLKF[12:0] у PLL (NF - коэффициент умножения частоты VCO). Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NF. CLKF[12:0] = NF - 1, CLKF[0] - LSB	0
15:6	-	Резерв	0
5:0	CLKR_SIGN	Значение подаваемое на вход CLKR[5:0] у PLL (NR - коэффициент деления входной частоты). Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NR. CLKR[5:0] = NR - 1, CLKR[0] - LSB	0

9.8 Описание регистра PLL_ODNB_SIGN

Формат регистра PLL_ODNB_SIGN приведен в следующей таблице:

Таблица 16. Поля регистра PLL_ODNB_SIGN

Диапазон	Название	Описание	Сброс
31:28	-	Резерв	0

Диапазон	Название	Описание	Сброс
27:16	BWADJ_SIGN	Значение подаваемое на вход BWADJ[11:0] у PLL (NB - коэффициент управления полосой пропускания PLL). Значение, записываемое в это поле, должно быть на 1 меньше коэффициента NB. $BWADJ[11:0] = NB - 1$, BWADJ[0] - LSB. В общем случае значение должно быть равно $(CLKF + 1) / 2 - 1$	0
15:4	-	Резерв	0
3:0	CLKOD_SIGN	Значение подаваемое на вход CLKOD[3:0] у PLL (OD - коэффициент деления частоты VCO для получения выходной частоты). Значение, записываемое в это поле, должно быть на 1 меньше коэффициента OD. $CLKOD[3:0] = OD - 1$, CLKOD[0] - LSB	0

9.9 Описание регистра PLL_CONTROL_SIGN

Формат регистра PLL_CONTROL_SIGN приведен в следующей таблице:

Таблица 17. Поля регистра PLL_CONTROL_SIGN

Диапазон	Название	Описание	Сброс
31	LOCK_SIGN	Значение на выходе LOCK у PLL без учета сигнала имитации LOCK_override. LOCK - сигнал захвата генерируемой частоты устройством PLL: 0 - захвата нет; 1 - захват есть.	0
30:20	-	Резерв	0
19	FBSLIP_SIGN	Значение на выходе FBSLIP у PLL. Регистрирует ситуацию "Feedback cycle slip".	0
18	RFSLIP_SIGN	Значение на выходе RFSLIP у PLL. Регистрирует ситуацию "Reference cycle slip".	0
17	FBEN_SIGN	Значение на выходе FBEN у PLL. Регистрирует ситуацию "Feedback divider NF count change enable" (Разрешение сменить коэффициент NF).	0
16	RFEN_SIGN	Значение на выходе RFEN у PLL. Регистрирует ситуацию "Reference divider NR count change enable" (Разрешение сменить коэффициент NR).	0
15	LOCK_override	Сигнал имитации захвата выходной частоты устройством PLL, работает совместно с исходным сигналом захвата LOCK от PLL. Когда установлен в 1, считается что PLL выполнило захват частоты и этот признак идёт во всю управляющую логику. Используется для	0

Диапазон	Название	Описание	Сброс
		целей тестирования. Не следует записывать значение, отличное от 0.	
14:8	-	Резерв	0
7	ENSAT_SIGN	Значение подаваемое на вход ENSAT у PLL. Служебный вход "Enable saturation behavior". Не следует записывать значение, отличное от 1.	1
6	FASTEN_SIGN	Значение подаваемое на вход FASTEN у PLL. Служебный вход "Enable fast locking circuit". Не следует записывать значение, отличное от 0.	0
5	TEST_SIGN	Значение подаваемое на вход TEST у PLL. Служебный вход перевода PLL в режим тестирования счетчиков делителей. Не следует записывать значение, отличное от 0.	0
4	BYPASS_SIGN	Значение подаваемое на вход BYPASS у PLL. Служебный вход перевода PLL в режим "обходного пути", когда опорная частота передается на выход PLL. Не следует записывать значение, отличное от 0.	0
3:2	-	Резерв	0
1	RESET_SIGN	Значение подаваемое на вход RESET у PLL. Сброс PLL: 0 - рабочий режим; 1 - режим сброса, ширина импульса сброса должна быть не менее 5 микросекунд. Кроме программного доступа, этот бит ещё управляется автоматом управления выходной частотой и устройством PLL.	1
0	PWRDN_SIGN	Значение подаваемое на вход PWRDN у PLL. Перевод PLL в режим пониженного энергопотребления: 0 - рабочий режим; 1- режим пониженного энергопотребления. Кроме программного доступа, этот бит ещё управляется автоматом управления выходной частотой и устройством PLL.	1

9.10 Описание регистра RST_PLL_TIME

Формат регистра RST_PLL_TIME приведен в следующей таблице:

Таблица 18. Поля регистра RST_PLL_TIME

Диапазон	Название	Описание	Сброс
31:8	TOUTL	Значение счётчика таймаута установки сигнала захвата частоты LOCK от PLL, измеряется в тактах опорной частоты. Если за время TOUTL устройство PLL не выполнит захват частоты и не установит сигнал LOCK, то работает таймаут. При этом установится флаг прерывания TOUTL_FLG в регистре INT_CTR, а автомат управления PLL переходит на ветку остановки и перевода PLL в режим пониженного энергопотребления. Если поле TOUTL установлено в 0, то отсчёт времени таймаута не ведётся и ожидание сигнала LOCK в автомате управления PLL будет происходить вечно.	0
7:0	TMRP	Время нахождения в активном состоянии сигнала сброса RESET для PLL, измеряется в тактах опорной частоты. По спецификации, это время должно быть не менее 5 микросекунд для того, чтобы PLL выполнило сброс и отработало (приняло во внимание) новые коэффициенты умножения. Значение все 00 соответствует 1-ому такту опорной частоты (0.1 микросекунда), значение 1 соответствует 2-м тактам опорной частоты и так далее. Исходное значение после сброса: 0x40 - 65 тактов опорной частоты (около 6.4 микросекунды).	0

10. УНИВЕРСАЛЬНЫЙ БЛОК РЕГИСТРОВ URB

10.1 Регистры urb

Перечень регистров urb приведен в следующей таблице:

Таблица 19. Перечень программно-доступных регистров urb

Смещение	Условное обозначение	Назначение регистра	Исходное состояние
0x100	clk_ctrl	Регистр управления тактовым сигналом MS1_CLK	00000204
0x104	qspi_clk_ctrl	Регистр управления тактовым сигналом QSPI_SCK	00010101
0x10	pll_ctrl	Регистр статуса pll	00000000
0x20	boot_ctrl	Регистр состояния входного сигнала BOOT_MODE	00000000
0x30	pps_ctrl	Регистр управления входами DFE_PPS	000095FF

10.1.1 Описание регистра clk_ctrl

Формат регистра clk_ctrl приведен в следующей таблице:

Таблица 20. Поля регистра clk_ctrl

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	div_status	Статус делителя, 0 - делитель в процессе установки, 1 - делитель установлен, тактовый сигнал стабилен.	1
8	sel_pll_clk	Выключение делителя, выходная частота равна входной	0
7	-	Резерв	0
6:0	div	Значение делителя	4

10.1.2 Описание регистра qspi_clk_ctrl

Формат регистра qspi_clk_ctrl приведен в следующей таблице:

Таблица 21. Поля регистра qspi_clk_ctrl

Диапазон	Название	Описание	Сброс
31:17	-	Резерв	0
16	ena	Разрешение тактирования	1

Диапазон	Название	Описание	Сброс
15:9	-	Резерв	0
8	div_status	Статус делителя, 0 - делитель в процессе установки, 1 - делитель установлен, тактовый сигнал стабилен.	1
7	-	Резерв	0
6:0	div	Значение делителя	1

10.1.3 Описание регистра pll_ctrl

Формат регистра pll_ctrl приведен в следующей таблице:

Таблица 22. Поля регистра pll_ctrl

Диапазон	Название	Описание	Сброс
31:9	-	Резерв	0
8	pll_lock	Статус pll	0
7:1	-	Резерв	0
0	wakeup_pll	Управление сигналом wakeup_pll	0

10.1.4 Описание регистра boot_ctrl

Формат регистра boot_ctrl приведен в следующей таблице:

Таблица 23. Поля регистра boot_ctrl

Диапазон	Название	Описание	Сброс
31:1	-	Резерв	0
0	mode		0

10.1.5 Описание регистра pps_ctrl

Формат регистра pps_ctrl приведен в следующей таблице:

Таблица 24. Поля регистра pps_ctrl

Диапазон	Название	Описание	Сброс
31:17	-	Резерв	0
16	force_gpio0_pps_in	Устанавливает значение со входа gpio0 на линию pps[1] dfe	0

Диапазон	Название	Описание	Сброс
15:0	pps_cnt_thresho ld	Значения делителя частоты DFE_ADC_CLK для формирования стробы на входе pps[0] dfe, $F_{pps} = F_{adc} / (pps_cnt_threshold + 1)$	0x95FF

11. УНИВЕРСАЛЬНЫЙ ПОРТ ВВОДА/ВЫВОДА GPIO

11.1 Регистры gpio_DW_apb_gpio

Перечень регистров gpio_DW_apb_gpio приведен в следующей таблице:

Таблица 25. Перечень программно-доступных регистров gpio_DW_apb_gpio

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x0	GPIO_SWPORTA_DR	Регистр данных порта А	00000000	RW
0x4	GPIO_SWPORTA_DDR	Регистр направления порта А	00000000	RW
0x30	GPIO_INTEN	Регистр разрешения прерываний	00000000	RW
0x34	GPIO_INTMASK	Регистр маски прерываний	00000000	RW
0x38	GPIO_INTTYPE_LEVEL	Регистр управления режимом прерываний	00000000	RW
0x3c	GPIO_INTPOLARITY	Регистр выбора активного уровня прерываний	00000000	RW
0x40	GPIO_INTSTATUS	Статус прерываний	00000000	RO
0x44	GPIO_RAW_INTERRUPTSTATUS	Статус прерываний без учета маски	00000000	RO
0x48	GPIO_DEBOUNCE	Регистр управления подавлением дребезгом контактов	00000000	RW
0x4c	GPIO_PORTA_EOI	Регистр сброса прерываний порта А	00000000	WO
0x50	<u>GPIO_EXT_PORTA</u>	Регистр фактического состояния порта А	00000000	RO

11.1.1 Описание регистра GPIO_SWPORTA_DR

Регистр данных порта А

Формат регистра GPIO_SWPORTA_DR приведен в следующей таблице:

Таблица 26. Поля регистра GPIO_SWPORTA_DR

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_SWPORTA_DR	Записанное значение отображается на сигналы GPIO если соответствующие биты настроены как выход. На чтение возвращает записанное значение	0x0

11.1.2 Описание регистра GPIO_SWPORTA_DDR

Регистр направления порта A

Формат регистра GPIO_SWPORTA_DDR приведен в следующей таблице:

Таблица 27. Поля регистра GPIO_SWPORTA_DDR

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_SWPORTA_DDR	Биты этого поля управляют направлением соответствующих сигналов GPIO, 1 - выход	0x0

11.1.3 Описание регистра GPIO_INTEN

Регистр разрешения прерываний

Формат регистра GPIO_INTEN приведен в следующей таблице:

Таблица 28. Поля регистра GPIO_INTEN

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_INTEN	Разрешение прерывания для каждого бита порта A	0x0

11.1.4 Описание регистра GPIO_INTMASK

Регистр маски прерываний

Формат регистра GPIO_INTMASK приведен в следующей таблице:

Таблица 29. Поля регистра GPIO_INTMASK

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0

Диапазон	Название	Описание	Сброс
7:0	GPIO_INTMA SK	Каждый бит этого поля маскирует прерывание от соответствующего бита порта A: - 0 - прерывание не маскировано; - 1 - прерывание маскировано	0x0

11.1.5 Описание регистра GPIO_INTTYPE_LEVEL

Регистр управления режимом прерываний

Формат регистра GPIO_INTTYPE_LEVEL приведен в следующей таблице:

Таблица 30. Поля регистра GPIO_INTTYPE_LEVEL

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_INTTYPE E_LEVEL	Каждый бит этого поля определяет тип обрабатываемого прерывания для соответствующего бита порта A: - 0 - по уровню; - 1 - по фронту	0x0

Описание регистра GPIO_INT_POLARITY

Регистр выбора активного уровня прерываний

Формат регистра GPIO_INT_POLARITY приведен в следующей таблице:

Таблица 31. Поля регистра GPIO_INT_POLARITY

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_INT_PO LARITY	Каждый бит этого поля определяет полярность обрабатываемого прерывания для соответствующего бита порта A. В зависимости от типа обрабатываемого прерывания: - 0 - активный ноль или задний фронт; - 1 - активная единица или передний фронт	0x0

11.1.6 Описание регистра GPIO_INTSTATUS

Статус прерываний

Формат регистра GPIO_INTSTATUS приведен в следующей таблице:

Таблица 32. Поля регистра GPIO_INTSTATUS

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_INTSTATUS	Каждый бит этого поля отображает статус прерывания для соответствующего бита порта A	0x0

11.1.7 Описание регистра GPIO_RAW_INTSTATUS

Статус прерываний без учета маски.

Формат регистра GPIO_RAW_INTSTATUS приведен в следующей таблице:

Таблица 33. Поля регистра GPIO_RAW_INTSTATUS

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_RAW_INTSTATUS	Каждый бит этого поля отображает статус прерывания для соответствующего бита порта A без учета маски	0x0

11.1.8 Описание регистра GPIO_DEBOUNCE

Регистр управления подавление дребезгом контактов.

Формат регистра GPIO_DEBOUNCE приведен в следующей таблице:

Таблица 34. Поля регистра GPIO_DEBOUNCE

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_DEBOUNCE	Включение схемы подавления дребезга для каждого бита порта A	0x0

11.1.9 Описание регистра GPIO_PORTA_EOI

Регистр сброса прерываний порта A.

Формат регистра GPIO_PORTA_EOI приведен в следующей таблице:

Таблица 35. Поля регистра GPIO_PORTA_EOI

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0

Диапазон	Название	Описание	Сброс
7:0	GPIO_PORTA_EOI	Запись единицы в любой бит этого поля сбросит прерывание от соответствующего бита порта A	0x0

11.1.10 Описание регистра GPIO_EXT_PORTA

Регистр фактического состояния порта A.

Формат регистра GPIO_EXT_PORTA приведен в следующей таблице:

Таблица 36. Поля регистра GPIO_EXT_PORTA

Диапазон	Название	Описание	Сброс
31:8	reserved	Зарезервировано читается 0	0x0
7:0	GPIO_EXT_PORTA	Отображает фактический уровень на внешних контактах GPIO	0x0

12. КОНТРОЛЛЕР UART

12.1 Общая информация

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- 1 FIFO для приема и передачи данных имеют объем по 128 слов.
- 2 Полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит, генерация и обнаружение бита четности, генерация стопового сигнала длиной 1, 1.5 или 2 бита.
- 3 Диагностический режим.
- 4 Эмуляция символьных ошибок.

12.2 Регистры UART

Перечень регистров `uart0_DW_apb_uart` приведен в следующей таблице:

Таблица 37. Перечень программно-доступных регистров `uart0_DW_apb_uart`

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x0	RBR	Регистр буфера приема	0x0	RO
0x4	IER	Регистр разрешения прерывания	0x0	RW
0x8	IIR	Регистр идентификации прерывания	0x0	RO
0xc	LCR	Регистр управления линией	0x0	RW
0x10	MCR	Регистр управления модемом	0x0	RW
0x14	LSR	Регистр состояния линии	0x0	RO
0x18	MSR	Регистр состояния модема	0x0	RO
0x1c	SCR	Регистр общего назначения	0x0	RW
0x30	SRBR0	Дублирующий регистр буфера приема	0x0	RO
0x34	SRBR1	Дублирующий регистр буфера приема 1	0x0	RO
0x38	SRBR2	Дублирующий регистр буфера приема 2	0x0	RO
0x3c	SRBR3	Дублирующий регистр буфера приема 3	0x0	RO
0x40	SRBR4	Дублирующий регистр буфера приема 4	0x0	RO
0x44	SRBR5	Дублирующий регистр буфера приема 5	0x0	RO
0x48	SRBR6	Дублирующий регистр буфера приема 6	0x0	RO
0x4c	SRBR7	Дублирующий регистр буфера приема 7	0x0	RO
0x50	SRBR8	Дублирующий регистр буфера приема 8	0x0	RO
0x54	SRBR9	Дублирующий регистр буфера приема 9	0x0	RO
0x58	SRBR10	Дублирующий регистр буфера приема 10	0x0	RO
0x5c	SRBR11	Дублирующий регистр буфера приема 11	0x0	RO

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x60	SRBR12	Дублирующий регистр буфера приема 12	0x0	RO
0x64	SRBR13	Дублирующий регистр буфера приема 13	0x0	RO
0x68	SRBR14	Дублирующий регистр буфера приема 14	0x0	RO
0x6c	SRBR15	Дублирующий регистр буфера приема 15	0x0	RO
0x70	FAR	Регистр доступа FIFO	0x0	RW
0x74	TFR	Регистр чтения FIFO передатчика	0x0	RO
0x78	RFW	Регистр записи FIFO приемника	0x0	RW
0x7c	USR	Регистр статуса UART	0x0	RO
0x80	TFL	Регистр уровня FIFO передатчика	0x0	RO
0x84	RFL	Регистр уровня FIFO приемника	0x0	RO
0x88	SRR	Регистр программного сброса	0x0	RW
0x8c	SRTS	Дублирующий регистр запроса на передачу	0x0	RW
0x90	SBCR	Дублирующий регистр остановки управления	0x0	RW
0x94	SDMAM	Дублирующий регистр режима DMA	0x0	RW
0x98	SFE	Дублирующий регистр активации FIFO	0x0	RW
0x9c	SRT	Дублирующий регистр триггера прерывания приемника	0x0	RW
0xa0	STET	Дублирующий регистр триггера прерывания передатчика	0x0	RW
0xa4	HTX	Регистр остановки передачи	0x0	RW
0xa8	DMASA	Регистр программного оповещения DMA	0x0	RW
0xac	TCR	Регистр управления приемопередатчиком	0x0	RW
0xb0	DE_EN	Регистр управления сигналом DE	0x0	RW
0xb4	RE_EN	Регистр управления сигналом RE	0x0	RW
0xb8	DET	Регистр управления таймером DE	0x0	RW
0xbc	TAT	Регистр управления таймером переключения DE и RE	0x0	RW
0xc0	DLF	Регистр дробной части делителя частоты	0x0	RW
0xf4	CPR	Регистр параметров конфигурации UART	0x0	RO
0xf8	UCV	Регистр версии UART	0x0	RO
0xfc	CTR	Регистр UART ID	0x0	RO

12.2.1 Описание регистра RBR

Регистр буфера приема.

Значение по сбросу: 0x0

Это регистр доступен, только если DLAB бит (LCR[7]) равен 0x0.

Формат регистра RBR приведен в следующей таблице:

Таблица 38. Поля регистра RBR

Диапазон	Название	Описание	Сброс
31:8	RSVD_RBR	Резерв	0x0
7:0	RBR	Регистр содержит данные полученные по входному последовательному порту (sin в режиме UART или sir_in в ИК режиме). Данные действительны, если DR бит (LSR[0]) равен 0x1. При выключенном FIFO буфере (FCR[0] равен 0x0), чтение данных из регистра RBR должно происходить до получения следующих данных, иначе данные будут перезаписаны, что приведет к ошибке переполнения. При включенном FIFO буфере (FCR[0] равен 0x1), этот регистр предоставляет доступ к последовательному чтению данных из FIFO буфера приемника. Если FIFO буфер приемника заполнен и чтения данных не произойдет, до получения следующих данных, тогда данные в буфере FIFO не будут перезаписаны, а входящие данные будут потеряны, что, также, вызовет ошибку переполнения.	0x0

12.2.2 Описание регистра IER

Регистр разрешения прерывания

Значение по сбросу: 0x0.

Это регистр доступен, только если DLAB бит (LCR[7]) равен 0x0.

Формат регистра IER приведен в следующей таблице:

Таблица 39. Поля регистра IER

Диапазон	Название	Описание	Сброс
31:8	RSVD_IER_31to8	Резерв	0x0

Диапазон	Название	Описание	Сброс
7	PTIME	Режим программируемого порога для прерывания. Используется для включения/отключения прерываний по заданному порогу. 0x0 – отключен 0x1 – включен	0x0
6:5	RSVD_IER_6to5	Резерв	0x0
4	ELCOLR	Управление методом сброса статуса в регистре LSR. Доступен только в случае ошибок: переполнения, четности, кадрирования также в состоянии остановки прерывания. 0x0 – Поле статуса регистра LSR are cleared или по чтению Rx FIFO или по чтению регистра LSR. 0x1 – Поле статуса сбрасываются только по чтению регистра LSR.	0x0
3	EDSSI	Разрешение прерывания по статусу модема. Четвертое по приоритету прерываний. 0x1 – разрешено 0x0 – запрещено	0x0
2	ELSI	Разрешение прерывания по состоянию линии приема. Первое по приоритету прерываний. 0x1 – разрешено 0x0 – запрещено	0x0
1	ETBEI	Разрешение прерывания по регистру THRE. Третье по приоритету прерываний 0x1 – разрешено 0x0 – запрещено	0x0
0	ERBFI	Разрешение прерывания по доступности полученных данных (Enable Received Data Available Interrupt) или, при включенном FIFO, прерывания по тайм-ауту входных данных (Character Timeout Interrupt). Второе по приоритету прерываний. 0x1 – разрешено 0x0 – запрещено	0x0

12.2.3 Описание регистра FCR

Регистр управления FIFO

Значение по сбросу: 0x0.

Этот регистр доступен только в том случае, если выбрана настройка с FIFO (FIFO_MODE != NONE). Если FIFO не используется, этот регистр не существует, и запись на этот адрес регистра не будет иметь никакого эффекта.

Формат регистра FCR приведен в следующей таблице:

Таблица 40. Поля регистра FCR

Диапазон	Название	Описание	Сброс
31:8	RSVD_FCR_31 to 8	Резерв	0x0
7:6	RT	RCVR Trigger (или RT). Это поле используется для выбора уровня запуска FIFO приемника, при котором будет сгенерировано прерывание. Он также определяет, когда будет подтвержден сигнал dma_rx_req_n при определенных режимах работы. 0x0 – 1 запись в FIFO 0x1 – FIFO заполнен на 1/4 0x2 – FIFO заполнен на 1/2 0x3 – за 2 записи до полного FIFO	0x0
5:4	TET	TX Empty Trigger (или TET). Записи не будут иметь никакого эффекта, если THRE_MODE_USER отключен. Это поле используется для выбора порогового значения, при котором будет генерироваться прерывание THRE. Он также определяет, когда будет подтвержден сигнал dma_tx_req_n при определенных режимах работы. 0x0 – FIFO пустой 0x1 – 2 записи в FIFO 0x2 – FIFO заполнен на 1/4 0x3 – FIFO заполнен на 1/2	0x0

Диапазон	Название	Описание	Сброс
3	DMAM	DMA Mode (или DMAM). Это поле определяет режим уведомления DMA, используемый для выходных сигналов dma_tx_req_n и dma_rx_req_n, когда дополнительные сигналы DMA не выбраны (DMA_EXTRA == NO). 0x0 – Режим 0 0x1 – Режим 1	0x0
2	XFIFOR	XMIT FIFO Reset (или XFIFOR). Это поле сбрасывает FIFO передачи. Это также отменит передачу запроса DMA TX и одиночных сигналов при выборе дополнительных сигналов DMA (DMA_EXTRA == YES). Обратите внимание, что этот бит является "самоочищающимся", и нет необходимости очищать его. 0x1 – Сброс	0x0
1	RFIFOR	RMIT FIFO Reset (или RFIFOR). Это поле сбрасывает FIFO приемника. Это также отменит передачу запроса DMA RX и одиночных сигналов при выборе дополнительных сигналов DMA (DMA_EXTRA == YES). Обратите внимание, что этот бит является "самоочищающимся", и нет необходимости очищать его. 0x1 – Сброс	0x0
0	FIFOE	FIFO Enable (или FIFOE). Это поле включает/отключает FIFO передачи (XMIT) и приёма (RCVR). Всякий раз, когда значение этого бита изменяется, сбрасывается как FIFO передачи XMIT, так и FIFO приёма RCVR. 0x0 – FIFO отключен 0x1 – FIFO включен	0x0

12.2.4 Описание регистра IIR

Регистр идентификации прерывания

Этот регистр доступен всегда.

Формат регистра IIR приведен в следующей таблице:

Таблица 41. Поля регистра IIR

Диапазон	Название	Описание	Сброс
31:8	RSVD_IIR_31to8	Резерв	0x0
7:6	FIFOSE	Индикация рабочего состояния FIFO. 0x0 – отключен 0x1 – включен	0x0
5:4	RSVD_IIR_5to4	Резерв	0x0
3:0	IID	ID прерывания (IID). Отображает прерывание с наивысшим приоритетом 0x0110 – статус линии приемника 0x1000 – доступны данные на принимающей линии 0x1100 – таймаут ожидания приемника 0x0010 – прерывание THRE 0x0000 – статус модема 0x0111 – определение попытки записи	0x1

12.2.5 Описание регистра LCR

Регистр управления линией

Формат регистра LCR приведен в следующей таблице:

Таблица 42. Поля регистра LCR

Диапазон	Название	Описание	Сброс
31:8	RSVD_LCR_31to8	Резерв	0x0
7	DLAB	Бит доступа к делителю частоты, используется для разрешения чтения и записи регистров DLL/LPDLL и LPDLH. Данный бит должен быть установлен в 0x0 после настройки частоты интерфейса UART, для доступа к другим регистрам. Доступен только для записи в случае если USR[0] == 0x0 0x0 – отключен 0x1 – включен	0x0

Диапазон	Название	Описание	Сброс
6	BC	Бит обрыва линии. 0x0 – нормальная работа 1x1 – на выходе sout устанавливается низкий уровень. В ИК режиме линия sig_out_n продолжительно пульсирует. В режиме кольцевой связи линия sig_out_n в состоянии низкого уровня.	0x0
5	SP	Бит установки паритета. Доступен для записи, когда USR[0] не 0, используется для установки паритета. 0x0 – SP отключен 0x1 - Когда PEN, EPS установлены в 1, бит паритета передается и принимается как логический 0. Если PEN установлен в 1, а EPS в 0, то бит паритета передается и принимается как логическая 1.	0x0
4	EPS	Бит четности паритета Доступен для записи, когда USR[0] не 0, используется для установки четности паритета. 0x0 – нечетность 0x1 – четность	0x0
3	PEN	Разрешение паритета Доступен для записи, когда USR[0] не 0, используется для разрешения приема, проверки и передачи контрольного бита (бита паритета).	0x0
2	STOP	Количество стоп-битов Доступен для записи, когда USR[0] не 0. 0x0 – 1 стоп-бит, 0x1 – 1.5 стоп-бита, если LCR[0:1]=0, иначе 2 стоп-бита. Приемник анализирует только первый стоп бит.	0x0

Диапазон	Название	Описание	Сброс
1:0	DLS	Количество бит данных в передаваемом символе. Доступен для записи, когда USR[0] не 0. 0x00 – 5 бит 0x01 – 6 бит 0x10 – 7 бит 0x11 – 8 бит	0x0

12.2.6 Описание регистра MCR

Регистр управления модемом

Формат регистра MCR приведен в следующей таблице:

Таблица 43. Поля регистра MCR

Диапазон	Название	Описание	Сброс
31:7	RSVD_MCR_31to7	Резерв	0x0
6	SIRE	Активация ИК режима	0x0
5	AFCE	Включение автоматического контроля управления потоком возможно только при включенных FIFO (FCR[0]=1). 0x0 – Автоматическое управление потоком выключено. 0x1 – Автоматическое управление потоком включено.	0x0
4	LoopBack	Активация петлевого режима Используется для активации диагностического режима с целью тестирования. При отключенном ИК режиме, линия sout, будут находиться в высоком состоянии, и подключена на линию sin, до отключения петлевого режима. В этом режиме функционируют все прерывания. Также, все модемные и программируемые выходы будут отключены и закольцованы на модемные входы.	0x0

Диапазон	Название	Описание	Сброс
		В ИК режиме линия <code>sig_out_n</code> будет находиться в низком уровне и закольцована на линию <code>sig_in</code> .	
3	OUT2	Программируемый выход 2 Значение, записанное в поле, инвертируется и передается на выход	0x0
2	OUT1	Программируемый выход 1 Значение, записанное в поле, инвертируется и передается на выход	0x0
1	RTS	Запрос на отправку данных. Этот бит используется для управления выводом <code>RTS_N</code> . Вывод <code>RTS_N</code> используется для информирования модема оконечного устройства о том, что UART готов к обмену данными. При выключенном режиме автоматического управления потоком (<code>MCR[5] = 0</code>), сигнал <code>RTS_N</code> переводится в низкий уровень записью 1 в бит <code>RTS</code> , и переводится в высокий уровень записью 0 в бит <code>RTS</code> . При включенном режиме автоматического управления потоком (<code>MCR[5]=1</code>), и включенных FIFO (<code>FCR[0]=1</code>), выходной сигнал <code>RTS_N</code> может управляться таким же способом, но он также меняет свое значение в зависимости от уровня заполнения FIFO приемника (становится равным 1, если кол-во записей в FIFO приемника превышает пороговое значение заполнения FIFO приемника, и переходит обратно в 0, когда кол-во записей в FIFO становится меньше этого значения).	0x0
0	DTR	Управление линией <code>dtr_n</code> Используется для прямого управления сигналом <code>dtr_n</code> . Сигнал <code>DTR</code> используется для оповещения модема, о готовности абонента установить соединение.	0x0

12.2.7 Описание регистра LSR

Регистр состояния линии

Формат регистра LSR приведен в следующей таблице:

Таблица 44. Поля регистра LSR

Диапазон	Название	Описание	Сброс
31:9	RSVD_LSR_31to9	Резерв	0x0
8	RSVD_ADDR_RCVD	Резерв	0x0
7	RFE	Бит ошибки приемника Определяет наличие хотя бы одной ошибки четности, кадрирования или состояния обрыва. Сбрасывается при чтении LSR.	0x0
6	TEMT	Бит отсутствия передаваемых данных Устанавливается в 1 в случае отсутствия данных в FIFO буфере и сдвиговом регистре передатчика.	0x1
5	THRE	Бит отсутствия данных в буфере передатчика Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR.	0x1
4	BI	Обрыв линии Устанавливается, если вход приема данных находится в состоянии 0 не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ.	0x0

Диапазон	Название	Описание	Сброс
		Прием следующих символов разрешается после того, как вход приема данных перейдет в единицу и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.	
3	FE	Ошибка кадрирования. Устанавливается, если стоп-бит равен нулю. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пере синхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.	0x0
2	PE	Ошибка паритета (контрольного бита) В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.	0x0
1	OE	Ошибка переполнения Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.	0x0
0	DR	Бит готовности данных Показывает наличие данных в приемнике, которые еще не были прочитаны.	0x0

12.2.8 Описание регистра MSR

Регистр состояния модема.

При записи в биты 0, 1, 2 или 3 логической 1, для отображения изменение настроек модема, будет сгенерирован прерывания по статусу модема (если он разрешен), независимо от того когда произошла запись. Биты (бит 0, 1, 3) могут быть установлены после сброса, даже если их соответствующие модемные сигналы неактивны, поскольку синхронизированная версия модемных сигналов имеет значение сброса 0 и изменяется на значение 1 после сброса. Для предотвращения нежелательных прерываний, чтение MSR можно производить после сброса.

Формат регистра MSR приведен в следующей таблице:

Таблица 45. Поля регистра MSR

Диапазон	Название	Описание	Сброс
31:8	RSVD_MSR_31 to8	Резерв	0x0
7	DCD	Обнаружение носителя данных Используется для чтения состояния линии dcd_n.	0x0
6	RI	Индикатор доступа Используется для чтения состояния линии ri_n.	0x0
5	DSR	Готовность данных Используется для чтения состояния линии dsr_n.	0x0
4	CTS	Готовность отправки Используется для чтения состояния линии cts_n.	0x0
3	DDCD	Обнаружение изменения линии dcd_n Определяет изменялась ли линия dcd_n после последнего чтения регистра MSR.	0x0
2	TERI	Обнаружение изменения линии ri_n Определяет изменялась ли линия ri_n после последнего чтения регистра MSR.	0x0

Диапазон	Название	Описание	Сброс
1	DDSR	Обнаружение изменения линии dsr_n Определяет изменялась ли линия dsr_n после последнего чтения регистра MSR.	0x0
0	DCTS	Обнаружение изменения линии cts_n Определяет изменялась ли линия cts_n после последнего чтения регистра MSR.	0x0

12.2.9 Описание регистра SCR

Регистр общего назначения

Формат регистра SCR приведен в следующей таблице:

Таблица 46. Поля регистра SCR

Диапазон	Название	Описание	Сброс
31:8	RSVD_SCR_31 to 8	Резерв	0x0
7:0	SCR	Этот регистр предназначен для временного хранения данных. Не имеет определенной цели в управлении контроллером.	0x0

12.2.10 Описание регистра SRBR0 - 15

Дублирующий регистр буфера приема.

Формат регистра SRBR0 приведен в следующей таблице:

Таблица 47. Поля регистров SRBR0 - 15

Диапазон	Название	Описание	Сброс
31:8	RSVD_SRBRn	SRBR0 31 to SRBRN_REG_SIZE Reserved bits read read as 0.	0x0
7:0	SRBRn	Этот регистр дублирует регистр RBR. К нему можно обратиться по одному из 32-х адресов.	0x0

12.2.11 Описание регистра FAR

Регистр доступа FIFO

Формат регистра FAR приведен в следующей таблице:

Таблица 48. Поля регистра FAR

Диапазон	Название	Описание	Сброс
31:1	RSVD_FAR_31to1	Резерв	0x0
0	FAR	Регистр доступа FIFO Позволяет разрешить прямой доступ к FIFO буферам.	0x0

12.2.12 Описание регистра TFR

Регистр чтения FIFO передатчика

Формат регистра TFR приведен в следующей таблице:

Таблица 49. Поля регистра TFR

Диапазон	Название	Описание	Сброс
31:8	RSVD_TFR_31to8	TFR 31to8 Reserved bits read as 0.	0x0
7:0	TFR	Чтение данных FIFO передатчика Доступен в режиме доступа к FIFO (FAR[0] = 1).	0x0

12.2.13 Описание регистра RFW

Регистр записи FIFO приемника

Формат регистра RFW приведен в следующей таблице:

Таблица 50. Поля регистра RFW

Диапазон	Название	Описание	Сброс
31:10	RSVD_RFW_31to10	Резерв	0x0

Диапазон	Название	Описание	Сброс
9	RFFE	Запись ошибки кадрирования При отключённом режиме FIFO, записывает ошибку в регистр RBR.	0x0
8	RFPE	Запись ошибки четности При отключённом режиме FIFO, записывает ошибку в регистр RBR.	0x0
7:0	RFWD	Запись в FIFO приемника Доступен в режиме доступа к FIFO (FAR[0] = 1).	0x0

12.2.14 Описание регистра USR

Регистр статуса UART.

Формат регистра USR приведен в следующей таблице:

Таблица 51. Поля регистра USR

Диапазон	Название	Описание	Сброс
31:5	RSVD_USR_31 to5	Резерв	0x0
4	RFF	FIFO приемника полон 0x0 – FIFO приемника не полон 1x1 – FIFO приемника полон	0x0
3	RFNE	FIFO приемника не пуст 0x0 – FIFO приемника не пуст 0x1 – FIFO приемника пуст	0x0
2	TFE	FIFO передатчика пуст 0x0 – FIFO передатчика не пуст 0x1 – FIFO передатчика пуст	0x1
1	TFNF	FIFO передатчика не полон 0x0 – FIFO передатчика не полон 0x1 – FIFO передатчика полон	0x1

Диапазон	Название	Описание	Сброс
0	BUSY	UART занят. Этот бит установлен в 1, в следующих случаях: 1. В настоящее время происходит передача данных по последовательному интерфейсу. 2. Регистр THR содержит данные на передачу, при не нулевом значении делителя частоты ($\{DLH, DLL\} \neq 0$) и $LCR.DLAB = 0$. 3. В настоящее время происходит прием данных по последовательному интерфейсу. 4. Регистр RBR содержит данные на прием.	0x0

12.2.15 Описание регистра TFL

Регистр уровня FIFO передатчика.

Формат регистра TFL приведен в следующей таблице:

Таблица 52. Поля регистра TFL

Диапазон	Название	Описание	Сброс
31:6	RSVD_TFL_31toADDR_WIDTH	Резерв	0x0
5:0	tfl	Уровень FIFO передатчика Отображает количество слов данных в FIFO передатчика.	0x0

12.2.16 Описание регистра RFL

Регистр уровня FIFO приемника

Таблица 53. Поля регистра RFL

Диапазон	Название	Описание	Сброс
31:6	RSVD_RFL_31toADDR_WIDTH	Резерв	0x0

5:0	rfl	Уровень FIFO приемника Отображает количество слов данных в FIFO приемника.	0x0
-----	-----	---	-----

12.2.17 Описание регистра SRR

Регистр программного сброса

Формат регистра SRR приведен в следующей таблице:

Таблица 54. Поля регистра SRR

Диапазон	Название	Описание	Сброс
31:3	RSVD_SRR_31 to3	Резерв	0x0
2	XFR	Дублирует FCR[2]	0x0
1	RFR	Дублирует FCR[1]	0x0
0	UR	Программный сброс UART. Не включать программный сброс пока не подана частота интерфейса	0x0

12.2.18 Описание регистра SRTS

Дублирующий регистр запроса на передачу.

Формат регистра SRTS приведен в следующей таблице:

Таблица 55. Поля регистра SRTS

Диапазон	Название	Описание	Сброс
31:1	RSVD_SRTS_31 to1	Резерв	0x0
0	SRTS	Дублирует MCR[1]	0x0

12.2.19 Описание регистра SBCR

Дублирующий регистр остановки управления.

Формат регистра SBCR приведен в следующей таблице:

Таблица 56. Поля регистра SBCR

Диапазон	Название	Описание	Сброс
31:1	RSVD_SBCR_31to1	Резерв	0x0
0	SBCB	Дублирует LCR[6]	0x0

12.2.20 Описание регистра SDMAM

Дублирующий регистр режима DMA.

Формат регистра SDMAM приведен в следующей таблице:

Таблица 57. Поля регистра SDMAM

Диапазон	Название	Описание	Сброс
31:1	RSVD_SDMA_M_31to1	Резерв	0x0
0	SDMAM	Дублирует FCR[3]	0x0

12.2.21 Описание регистра SFE

Дублирующий регистр активации FIFO.

Формат регистра SFE приведен в следующей таблице:

Таблица 58. Поля регистра SFE

Диапазон	Название	Описание	Сброс
31:1	RSVD_SFE_31to1	Резерв	0x0
0	SFE	Дублирует FCR[0]	0x0

12.2.22 Описание регистра SRT

Дублирующий регистр триггера прерывания приемника.

Формат регистра SRT приведен в следующей таблице:

Таблица 59. Поля регистра SRT

Диапазон	Название	Описание	Сброс
31:2	RSVD_SRT_31to2	Резерв	0x0
1:0	SRT	Дублирует FCR[7:6]	0x0

12.2.23 Описание регистра STET

Дублирующий регистр триггера прерывания передатчика

Формат регистра STET приведен в следующей таблице:

Таблица 60. Поля регистра STET

Диапазон	Название	Описание	Сброс
31:2	RSVD_STET_31to2	Резерв	0x0
1:0	STET	Дублирует FCR[5:4]	0x0

12.2.24 Описание регистра HTX

Регистр остановки передачи

Формат регистра HTX приведен в следующей таблице:

Таблица 61. Поля регистра HTX

Диапазон	Название	Описание	Сброс
31:1	RSVD_HTX_31to1	Резерв	0x0
0	HTX	Остановка передачи Используется для остановки передачи в целях тестирования, таким образом, что буфер FIFO может быть заполнен. В случае, если FIFO режим отключен запись не в этот регистр не повлияет на работу UART.	0x0

12.2.25 Описание регистра DMASA

Регистр программного оповещения DMA

Формат регистра DMASA приведен в следующей таблице:

Таблица 62. Поля регистра DMASA

Диапазон	Название	Описание	Сброс
31:1	RSVD_DMASA_31to1	Резерв	0x0
0	DMASA	Программное оповещения DMA Бит самосбрасывается и не требует ручного сброса.	0x0

12.2.26 Описание регистра TCR

Регистр управления приемопередатчиком

Этот регистр используется, для включения/отключения режима RS485, также для управления полярностью сигналов de и re.

Формат регистра TCR приведен в следующей таблице:

Таблица 63. Поля регистра TCR

Диапазон	Название	Описание	Сброс
31:5	RSVD_TCR_31to5	Резерв	0x0
4:3	XFER_MODE	Режим передачи 0x0 – одновременная передача и прием 0x1 – DE и RE взаимно исключающие сигналы, ожидается, что при программирование, только один из этих сигналов будет в активном состоянии. Во время переключения, будет задействован регистр TAT для определения задержек. 0x2 – DE и RE взаимно исключающие сигналы, изначально находится в состоянии приема (зависит от состояний DE_EN/RE_EN) при появлении данных в передающем буфере, UART ожидает окончания приема, после чего переключается на передачу данных, до тех пока буфер передачи не будет пуст.	0x0

Диапазон	Название	Описание	Сброс
2	DE_POL	Полярность сигнала DE 0x0 – активное высокое состояние 0x1 – активное низкое состояние	0x0
1	RE_POL	Полярность сигнала RE 0x0 – активное высокое состояние 0x1 – активное низкое состояние	0x0
0	RS485_EN	Режим RS485 0x0 – отключен, все поля этого регистра, также регистры DE_EN, RE_EN, TAT являются зарезервированными. 0x1 – включен все регистры для настройки режима RS485 находятся в рабочем режиме.	0x0

12.2.27 Описание регистра DE_EN

Регистр управления сигналом DE

Формат регистра DE_EN приведен в следующей таблице:

Таблица 64. Поля регистра DE_EN

Диапазон	Название	Описание	Сброс
31:1	RSVD_DE_EN_31to1	Резерв	0x0
0	DE_Enable	Регистр управления сигналом DE 0x0 – сбросить 0x1 – установить	0x0

12.2.28 Описание регистра RE_EN

Регистр управления сигналом RE

Формат регистра RE_EN приведен в следующей таблице:

Таблица 65. Поля регистра RE_EN

Диапазон	Название	Описание	Сброс
31:1	RSVD_RE_EN_31to1	Резерв	0x0
0	RE_Enable	Регистр управления сигналом RE 0x0 – сбросить 0x1 – установить	0x0

12.2.29 Описание регистра DET

Регистр управления таймером DE

Формат регистра DET приведен в следующей таблице:

Таблица 66. Поля регистра DET

Диапазон	Название	Описание	Сброс
31:24	RSVD_DE_DE_AT_31to24	Резерв	0x0
23:16	DE_De-assertion_Time	Управления таймером сброса DE Это поле определяет количество периодов, тактового сигнала между окончанием приема данных и сброса сигнала DE.	0x0
15:8	RSVD_DE_AT_15to8	Резерв	0x0
7:0	DE_Assertion_Time	Управления таймером установки DE Это поле определяет количество периодов, тактового сигнала между установкой сигнала DE и началом передачи данных.	0x0

12.2.30 Описание регистра TAT

Регистр управления таймером переключения DE и RE

Формат регистра TAT приведен в следующей таблице:

Таблица 66. Поля регистра TAT

Диапазон	Название	Описание	Сброс
31:16	RE_to_DE	Задержка переключения с RE на DE Если DET=0, тогда задержка устанавливается в виде запрограммированного значения + 3. Если DET=1, тогда задержка устанавливается в виде запрограммированного значения + 2. Если DET>1, тогда задержка устанавливается в виде запрограммированного значения + 1.	0x0
15:0	DE_to_RE	Задержка переключения с RE на DE Задержка устанавливается в виде запрограммированного значения + 1.	0x0

12.2.31 Описание регистра DLF

Регистр дробной части делителя частоты.

Формат регистра DLF приведен в следующей таблице:

Таблица 68. Поля регистра DLF

Диапазон	Название	Описание	Сброс
31:4	RSVD_DLF	Резерв	0x0
3:0	DLF	Дробная часть делителя частоты Определяется как $DLF \cdot (2^{DLF_SIZE})$ Значение по сбросу: 0x0	0x0

12.2.32 Описание регистра CPR

Регистр параметров конфигурации UART.

Формат регистра CPR приведен в следующей таблице:

Таблица 69. Поля регистра CPR

Диапазон	Название	Описание	Сброс
31:24	RSVD_CPR_31 to24	Резерв	0x0

Диапазон	Название	Описание	Сброс
23:16	FIFO_MODE	Encoding of FIFO_MODE configuration parameter value.	0x2
15:14	RSVD_CPR_15 to14	Резерв	0x0
13	DMA_EXTRA	Encoding of DMA_EXTRA configuration parameter value.	0x1
12	UART_ADD_ENCODED_PARAMS	Encoding of UART_ADD_ENCODED_PARAMS configuration parameter value.	0x1
11	SHADOW	Encoding of SHADOW configuration parameter value.	0x1
10	FIFO_STAT	Encoding of FIFO_STAT configuration parameter value.	0x1
9	FIFO_ACCESS	Encoding of FIFO_ACCESS configuration parameter value.	0x1
8	ADDITIONAL_FEAT	Encoding of ADDITIONAL_FEATURES configuration parameter value.	0x1
7	SIR_LP_MODE	Encoding of SIR_LP_MODE configuration parameter value.	0x0
6	SIR_MODE	Encoding of SIR_MODE configuration parameter value.	0x0
5	THRE_MODE	Encoding of THRE_MODE configuration parameter value.	0x1
4	AFCE_MODE	Encoding of AFCE_MODE configuration parameter value.	0x1
3:2	RSVD_CPR_3 to2	Резерв	0x0
1:0	APB_DATA_WIDTH	Encoding of APB_DATA_WIDTH configuration parameter value.	0x2

12.2.33 Описание регистра UCV

Регистр версии UART.

Формат регистра UCV приведен в следующей таблице:

Таблица 70. Поля регистра UCV

Диапазон	Название	Описание	Сброс
31:0	UART_Component_Version	ASCII значение Для каждого номера версии следует знак *. Например: 32_30_31_2A представляется в виде 2.01*.	0x3430312a

12.2.34 Описание регистра CTR

Регистр UART ID.

Формат регистра CTR приведен в следующей таблице:

Таблица 71. Поля регистра CTR

Диапазон	Название	Описание	Сброс
31:0	Peripheral_ID	Периферийное ID	0x44570110

13. КОНТРОЛЛЕР SPI

13.1 Общая информация

Контроллер SPI имеет следующие характеристики:

- 1 Поддерживаемые протоколы – Motorola SPI, Texas Instruments Synchronous Serial, National Semiconductor Microwire.
- 2 Динамическое управление скоростью передачи данных в режиме master.
- 3 Размер одного слова от 4 до 32 бит.
- 4 FIFO буфер приемника и передатчика 64 слова.
- 5 2 канала slave-select.

Не поддерживается:

Режим работы slave.

13.2 Регистры

Перечень регистров приведен в следующей таблице:

Таблица 72. Перечень программно-доступных регистров

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x0	CTRLR0	Управляющий регистр 0	0x01070000	RW
0x4	CTRLR1	Управляющий регистр 1	0x00000000	RW
0x8	SSIENR	Разрешающий регистр	0x00000000	RW
0xc	MWCR	Управление протоколом Microwire	0x00000000	RW
0x10	SER	Управление слэйвом	0x00000000	RW
0x14	BAUDR	Выбор скоростного режима	0x00000000	RW
0x18	TXFTLR	Порог заполнения, FIFO передатчика	0x00000000	RW
0x1c	RXFTLR	Порог заполнения, FIFO приемника	0x00000000	RW
0x20	TXFLR	Уровень заполнения FIFO передатчика	0x00000000	RO
0x24	RXFLR	Уровень заполнения FIFO приемника	0x00000000	RO
0x28	SR	Регистр статуса	0x00000006	RO
0x2c	IMR	Регистр маски прерываний	0x0000003F	RW
0x30	ISR	Регистр статуса прерываний	0x00000000	RO
0x34	RISR	Регистр прерываний	0x00000000	RO

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x38	TXOICR	Регистр снятия прерывания переполнения FIFO передатчика	0x00000000	RO
0x3c	RXOICR	Регистр снятия прерывания переполнения FIFO приемника	0x00000000	RO
0x40	RXUICR	Регистр снятия прерывания опустошения FIFO приемника	0x00000000	RO
0x44	MSTICR	Регистр снятия прерывания Multi-Master	0x00000000	RO
0x48	ICR	Регистр снятия прерываний	0x00000000	RO
0x58	IDR	Регистр идентификации	0xFFFFFFFF	RO
0x5c	SSI_VERSION_ID	Версия компонента	0x3430312A	RO
0x60	DR0	Регистр данных x	0x00000000	RW
0x64	DR1	Регистр данных x	0x00000000	RW
0x68	DR2	Регистр данных x	0x00000000	RW
0x6c	DR3	Регистр данных x	0x00000000	RW
0x70	DR4	Регистр данных x	0x00000000	RW
0x74	DR5	Регистр данных x	0x00000000	RW
0x78	DR6	Регистр данных x	0x00000000	RW
0x7c	DR7	Регистр данных x	0x00000000	RW
0x80	DR8	Регистр данных x	0x00000000	RW
0x84	DR9	Регистр данных x	0x00000000	RW
0x88	DR10	Регистр данных x	0x00000000	RW
0x8c	DR11	Регистр данных x	0x00000000	RW
0x90	DR12	Регистр данных x	0x00000000	RW
0x94	DR13	Регистр данных x	0x00000000	RW
0x98	DR14	Регистр данных x	0x00000000	RW
0x9c	DR15	Регистр данных x	0x00000000	RW
0xa0	DR16	Регистр данных x	0x00000000	RW
0xa4	DR17	Регистр данных x	0x00000000	RW
0xa8	DR18	Регистр данных x	0x00000000	RW
0xac	DR19	Регистр данных x	0x00000000	RW
0xb0	DR20	Регистр данных x	0x00000000	RW
0xb4	DR21	Регистр данных x	0x00000000	RW
0xb8	DR22	Регистр данных x	0x00000000	RW

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0xbc	DR23	Регистр данных x	0x00000000	RW
0xc0	DR24	Регистр данных x	0x00000000	RW
0xc4	DR25	Регистр данных x	0x00000000	RW
0xc8	DR26	Регистр данных x	0x00000000	RW
0xcc	DR27	Регистр данных x	0x00000000	RW
0xd0	DR28	Регистр данных x	0x00000000	RW
0xd4	DR29	Регистр данных x	0x00000000	RW
0xd8	DR30	Регистр данных x	0x00000000	RW
0xdc	DR31	Регистр данных x	0x00000000	RW
0xe0	DR32	Регистр данных x	0x00000000	RW
0xe4	DR33	Регистр данных x	0x00000000	RW
0xe8	DR34	Регистр данных x	0x00000000	RW
0xec	DR35	Регистр данных x	0x00000000	RW
0xfc	RSVD	Резерв	0x00000000	RO

13.2.1 Регистр CTRLR0

Регистр управления последовательной передачей данных. Запись в регистр невозможна, если регистр SSIENR находится в активном состоянии.

Формат регистра CTRLR0 приведен в следующей таблице:

Таблица 73. Формат регистра CTRLR0

Разряды	Название	Описание	Сброс
31:25	RSVD_CTRLR0	Резерв – только чтение	0x0
24	SSTE	Slave Select Toggle Enable Управление переключением slave select линии. Во время функционирования в режиме SPI с тактовой частотой (SCPH) установленной в 0, этот регистр управляет поведением линии slave select (ss_*_n) между блоками данных. Если это поле установлено в 1, линия ss_*_n будет переключаться между последовательными блоками данных и sclк будет удерживаться в состоянии по умолчанию. Если поле установлено в 0 ss_*_n будет оставаться в низком положении, а sclк будет продолжать работу на протяжении всей передачи данных.	0x1
23	RSVD_CTRLR0_23	CTRLR0_23 резерв – только чтение	0x0

Разряды	Название	Описание	Сброс
22:21	SPI_FRF	SPI Frame Format Резерв	0x0
20:16	DFS_32	Data Frame Size Размер блока данных в 32-х битном режиме передачи данных.	0x7
15:12	CFS	Control Frame Size. Выбор длины управляющего слова для протокола Microwire.	0x0
11	SRL	Shift Register Loop. Используется только в целях тестирования. В активном состоянии соединяет передающий сдвиговый регистр со сдвиговым регистром приемника.	0x0
10	RSVD_SLV_OE	SLV_OE Резерв- только чтение	0x0

Разряды	Название	Описание	Сброс
9:8	TMOD	Transfer Mode. Выбор режима последовательной передачи данных. Это поле не влияет на удвоение передачи, а только определяет валидность принимаемых или передаваемых данных. 00 – Передача и прием 01 – Только передача 10 – Только прием 11 – EEPROM чтение В режиме “Только передача”, принимаемые данные не валидны и не поступают в FIFO приемника перезаписываются после следующей передачи данных. В режиме “Только прием” передаваемые данные не валидны. После первой передачи, это же слово будет отправлено снова за стандартное время транзакции. В режиме “Прием и передача”, передаваемые и принимаемые данные валидны. Передача продолжится до последнего слова в FIFO передатчика. Принимаемые данные остаются в FIFO приемника до тех пор, пока не будут прочитаны. В режиме “EEPROM чтение”, принимаемые данные не будут валидны до окончания передачи управляющих инструкций. Когда все инструкции были отправлены, принимаемые данные становятся валидными, передаваемые данные становятся не валидными. Все данные передатчика предполагаются управляющими инструкциями.	0x0
7	SCPOL	Serial Clock Polarity. Выбор полярности неактивного тактового сигнала, который становится неактивным, в случае отсутствия передаваемых данных в режиме master Используется, только если для формата блока данных (FRF) выбран to Motorola SPI.	0x0

Раз-ряды	Название	Описание	Сброс
6	SCPH	Serial Clock Phase. Фаза тактового сигнала, задает отношение тактового сигнала и slave select. 0x0 – захват данных происходит по первому фронту тактового сигнала 0x1 – происходит пропуск одного периода тактового сигнала после установки slave select, захват данных происходит по второму фронту тактового сигнала	0x0
5:4	FRF	Frame Format. Выбор протокола передачи данных 0x0 – MOTOROLA_SPI 0x1 – TEXAS_SSP 0x2 – NS_MICROWIRE 0x3 – Резерв	0x0
3:0	DFS	Data Frame Size Резерв - только чтение	0x0

13.2.2 Регистр CTRLR1

Регистр управления завершением последовательной передачи. Запись в регистр невозможна, если регистр SSIENR находится в активном состоянии.

Формат регистра CTRLR1 приведен в следующей таблице:

Таблица 74. Формат регистра CTRLR1

Раз-ряды	Название	Описание	Сброс
31:16	RSVD_CTRLR1	CTRLR1 Резерв – только чтение	0x0
15:0	NDF	Number of Data Frames. Выбор количество блоков данных для приема, когда TMOD = 10 или TMOD = 11. Количество блоков данных принятых по последовательному интерфейсу равно NDF + 1 (Максимум 64 K5)	0x0

13.2.3 Регистр SSIENR

Регистр включения/отключения SPI.

Формат регистра SSIENR приведен в следующей таблице:

Таблица 75. Формат регистра SSIENR

Разряды	Название	Описание	Сброс
31:1	RSVD_SSIENR	SSIENR Резерв – только чтение.	0x0
0	SSI_EN	SSI Enable. Включает и отключает все операции SPI. При отключении любые операции передачи данных прерываются немедленно. FIFO буферы приемника и передатчика очищаются. В активном состоянии, блокируется возможность записи в любые регистры управления.	0x0

13.2.4 Регистр MWCR

Регистр управления направлением передачи данных в режиме полудуплекс Microwire. Запись в регистр невозможна, если регистр SSIENR находится в активном состоянии.

Формат регистра MWCR приведен в следующей таблице:

Таблица 76. Формат регистра MWCR

Разряды	Название	Описание	Сброс
31:3	RSVD_MWCR	MWCR Резерв – только чтение.	0x0
2	MHS	Microwire Handshaking. Включает/отключает busy/ready проверку, протокола Microwire. В активном состоянии SPI проверяет готовность целевого slave устройства, после передачи последнего бита данных, перед снятием BUSY статуса в регистре SR.	0x0

Раз- ряды	Название	Описание	Сброс
1	MDD	Microwire Control. Определяет направление передачи слова данных в режиме Microwire. 0x0 – SPI передает слово данных 0x1 – SPI принимает слово данных	0x0
0	MWMOD	Microwire Transfer Mode. Определяет тип передачи Microwire. 0x0 – одиночная Microwire передача 0x1 – последовательная передача Microwire	0x0

13.2.5 Регистр SER

Регистр управление slave-select сигналом. Регистр может быть установлен в 1 или 0, если SSI_EN=0. Если SSI_EN=1, регистр может быть установлен только в 1 (для задержки установки slave-select сигнала во время заполнения FIFO передатчика).

Формат регистра SER приведен в следующей таблице:

Таблица 77. Формат регистра SER

Раз- ряды	Название	Описание	Сброс
31:2	RSVD_SER	SER Резерв – только чтение.	0x0

Раз-ряды	Название	Описание	Сброс
1:0	SER	Slave Select Enable Flag. Каждый бит этого поля отвечает за соответствующий сигнал slave-select(ss_x_n). Нужно отметить, что очищение любого бита в этом во время передачи данных не приведет к немедленному сбросу соответствующего slave select сигнала, запись в это поле должна производиться перед началом передачи данных. Если не выбран режим вещания, то только один бит этого поле должен быть установлен.	0x0

13.2.6 Регистр BAUDR

Регистр определения частоты тактового сигнала последовательного интерфейса. Значение в этом регистре является делителем частоты SPI. Запись в регистр невозможна, если регистр SSIENR находится в активном состоянии.

Формат регистра BAUDR приведен в следующей таблице:

Таблица 78. Формат регистра BAUDR

Раз-ряды	Название	Описание	Сброс
31:16	RSVD_BAUDR	BAUDR Резерв – Только чтение	0x0

Разряды	Название	Описание	Сброс
15:0	SCKDV	SSI Clock Divider. Младший бит этого регистра всегда равен 0 и доступен только для чтения – это гарантирует четность значения в этом регистре. Если значение SCKDV = 0, то тактовый сигнал SPI будет отключен. Частота тактового сигнала SPI определяется формулой: $F_{sclk_out} = F_{ssi_clk} / SCKDV$ Где SCDV – любое четное число от 2 до 65534	0x0

13.2.7 Регистр TXFTLR

Регистр управления порогом заполнения FIFO буфера передатчика.

Формат регистра TXFTLR приведен в следующей таблице:

Таблица 79. Формат регистра TXFTLR

Разряды	Название	Описание	Сброс
31:6	RSVD_TXFTLR	TXFTLR Резерв – только чтение.	0x0
5:0	TFT	Transmit FIFO Threshold. Задаст количество слов данных на котором FIFO буфер передатчика сгенерирует прерывание. При попытке записи значения, превышающего глубину FIFO – значение регистра останется неизменным. Когда количество слов данных в FIFO меньше или равно значению в этом поле, генерируется прерывание (ssi_txe_intr).	0x0

13.2.8 Регистр RXFTLR

Регистр управления порогом заполнения FIFO буфера приемника.

Reset Value: 0x0

Формат регистра RXFTLR приведен в следующей таблице:

Таблица 80. Формат регистра RXFTLR

Разряды	Название	Описание	Сброс
31:6	RSVD_RXFTLR	RXFTLR Резерв – только чтение.	0x0
5:0	RFT	Receive FIFO Threshold. Задаёт количество слов данных на котором FIFO буфер приемника сгенерирует прерывание. При попытке записи значения, превышающего глубину FIFO – значение регистра останется неизменным. Когда количество слов данных в FIFO больше или равно значению в этом поле, генерируется прерывание (ssi_rxe_intr).	0x0

13.2.9 Регистр TXFLR

Регистр количества слов данных в FIFO передатчика.

Формат регистра TXFLR приведен в следующей таблице:

Таблица 81. Формат регистра TXFLR

Разряды	Название	Описание	Сброс
31:7	RSVD_TXFLR	TXFLR Резерв – только чтение.	0x0
6:0	TXTFL	Transmit FIFO Level. Количество слов данных в FIFO буфере передатчика.	0x0

13.2.10 Регистр RXFLR

Регистр количества слов данных в FIFO приемника.

Формат регистра RXFLR приведен в следующей таблице:

Таблица 82. Формат регистра RXFLR

Раз-ряды	Название	Описание	Сброс
31:7	RSVD_RXFLR	RXFLR Reserved bits - Read Only	0x0
6:0	RXTFL	Receive FIFO Level. Количество слов данных в FIFO буфере приемника.	0x0

13.2.11 Регистр SR

Регистр индикации статуса передачи данных, статуса FIFO и любых ошибок приема/передачи которые могут возникнуть.

Формат регистра SR приведен в следующей таблице:

Таблица 83. Формат регистра SR

Раз-ряды	Название	Описание	Сброс
31:7	RSVD_SR	SR Резерв – только чтение.	0x0
6	DCOL	Data Collision Error. Бит будет установлен в 1, только если, сигнал ss_in_n будет установлен другим мастером, во время передачи данных блоком SPI. Ошибка является указателем того, что последняя передача данных была прервана до завершения. Бит сбрасывается после чтения.	0x0
5	RSVD_TXE	TXE Резерв – только чтение	0x0
4	RFF	Receive FIFO Full. FIFO приемника полон, бит сбрасывается, если в буфере есть свободные места.	0x0

Разряды	Название	Описание	Сброс
3	RFNE	Receive FIFO Not Empty. FIFO приемника не пуст, бит устанавливается если в буфере есть хотя бы одно слово данных. Сбрасывается если буфер пуст.	0x0
2	TFE	Transmit FIFO Empty. FIFO буфер передатчика пуст, сбрасывается если в буфере есть хотя бы одно слово данных.	0x1
1	TFNF	Transmit FIFO Not Full. FIFO передатчика не полон, бит сбрасывается, если буфер полон.	0x1
0	BUSY	SSI Busy Flag. 0x1 – идет передача SPI 0x0 – SPI в состоянии ожидания или выключен	0x0

13.2.12 Регистр IMR

Регистр маскирования прерываний.

Формат регистра IMR приведен в следующей таблице:

Таблица 84. Формат регистра IMR

Разряды	Название	Описание	Сброс
31:6	RSVD_IMR	IMR Резерв – только чтение.	0x0
5	MSTIM	Multi-Master Contention Interrupt	0x1
4	RXFIM	Receive FIFO Full Interrupt Mask	0x1
3	RXOIM	Receive FIFO Overflow Interrupt Mask	0x1
2	RXUIM	Receive FIFO Underflow Interrupt Mask	0x1
1	TXOIM	Transmit FIFO Overflow Interrupt Mask	0x1

Разряды	Название	Описание	Сброс
0	TXEIM	Transmit FIFO Empty Interrupt Mask	0x1

13.2.13 Регистр ISR

Регистр статуса прерываний после маскирования.

Формат регистра ISR приведен в следующей таблице:

Таблица 85. Формат регистра ISR

Разряды	Название	Описание	Сброс
31:6	RSVD_ISR	ISR Reserved bits - Read Only	0x0
5	MSTIS	Multi-Master Contention Interrupt Status.	0x0
4	RXFIS	Receive FIFO Full Interrupt Status	0x0
3	RXOIS	Receive FIFO Overflow Interrupt Status	0x0
2	RXUIS	Receive FIFO Underflow Interrupt Status	0x0
1	TXOIS	Transmit FIFO Overflow Interrupt Status	0x0
0	TXEIS	Transmit FIFO Empty Interrupt Status	0x0

13.2.14 Регистр RISR

Регистр статуса прерываний до маскирования.

Формат регистра RISR приведен в следующей таблице:

Таблица 86. Формат регистра RISR

Разряды	Название	Описание	Сброс
31:6	RSVD_RISR	RISR Reserved bits - Read Only	0x0
5	MSTIR	Multi-Master Contention Raw Interrupt Status.	0x0
4	RXFIR	Receive FIFO Full Raw Interrupt Status	0x0
3	RXOIR	Receive FIFO Overflow Raw Interrupt Status	0x0

Разряды	Название	Описание	Сброс
2	RXUIR	Receive FIFO Underflow Raw Interrupt Status	0x0
1	TXOIR	Transmit FIFO Overflow Raw Interrupt Status	0x0
0	TXEIR	Transmit FIFO Empty Raw Interrupt Status	0x0

13.2.15 Регистр TXOICR

Регистр сброса прерывания: «Переполнен FIFO передатчика».

Формат регистра TXOICR приведен в следующей таблице:

Таблица 87. Формат регистра TXOICR

Разряды	Название	Описание	Сброс
31:1	RSVD_TXOICR	TXOICR Резерв – только чтение.	0x0
0	TXOICR	Clear Transmit FIFO Overflow Interrupt. Значение поля отображает статус прерывания, Чтение регистра сбросит прерывание ssi_txo_intr. Запись не имеет эффекта.	0x0

13.2.16 Регистр RXOICR

Регистр сброса прерывания: «Переполнен FIFO приемника».

Формат регистра RXOICR приведен в следующей таблице:

Таблица 88. Формат регистра RXOICR

Разряды	Название	Описание	Сброс
31:1	RSVD_RXOICR	R XOICR Резерв – только чтение.	0x0

Разряды	Название	Описание	Сброс
0	RXOICR	Clear Receive FIFO Overflow Interrupt. Значение поля отображает статус прерывания, Чтение регистра сбросит прерывание ssi_gxo_intr. Запись не имеет эффекта.	0x0

13.2.17 Регистр RXUICR

Регистр сброса прерывания: “FIFO приемника пуст”

Формат регистра RXUICR приведен в следующей таблице:

Таблица 89. Формат регистра RXUICR

Разряды	Название	Описание	Сброс
31:1	RSVD_RXUICR	RXUICR Резерв – только чтение.	0x0
0	RXUICR	Clear Receive FIFO Underflow Interrupt. Значение поля отображает статус прерывания, Чтение регистра сбросит прерывание ssi_rxu_intr. Запись не имеет эффекта.	0x0

13.2.18 Регистр MSTICR

Регистр сброса прерывания: “Возможный конфликт master устройств”

Формат регистра MSTICR приведен в следующей таблице:

Таблица 90. Формат регистра MSTICR

Разряды	Название	Описание	Сброс
31:1	RSVD_MSTICR	MSTICR Резерв – только чтение.	0x0

Разряды	Название	Описание	Сброс
0	MSTICR	Clear Multi-Master Contention Interrupt. Значение поля отображает статус прерывания, Чтение регистра сбросит прерывание ssi_mst_intr. Запись не имеет эффекта.	0x0

13.2.19 Регистр ICR

Регистр сброса прерываний.

Формат регистра ICR приведен в следующей таблице:

Таблица 91. Формат регистра ICR

Разряды	Название	Описание	Сброс
31:1	RSVD_ICR	ICR Резерв – только чтение.	0x0
0	ICR	Clear Interrupts. Значение поля отображает наличие любого из следующих прерываний : ssi_txo_intr ssi_rxu_intr ssi_rxo_intr ssi_mst_intr Чтение сбрасывает все вышеперечисленные прерывание, запись не имеет эффекта.	0x0

13.2.20 Регистр IDR

Идентификационный регистр

Формат регистра IDR приведен в следующей таблице:

Таблица 92. Формат регистра IDR

Разряды	Название	Описание	Сброс
31:0	IDCODE	Identification code.	0xffffffff

13.2.21 Регистр SSI_VERSION_ID

Регистр версии SPI

Формат регистра SSI_VERSION_ID приведен в следующей таблице:

Таблица 93. Формат регистра SSI_VERSION_ID

Раз-ряды	Название	Описание	Сброс
31:0	SSI_COMP_VERSION	HEX представление, версии SPI. Состоит из ASCII значения для каждого числа.	0x3430312a

13.2.22 Регистр DR0 – DR35

Регистр данных SPI.

Чтение из регистра считывает данные из FIFO буфера приемника. Записанные в регистр данные помещаются в FIFO буфер передатчика.

Запись возможно только, если SSI_EN=1.

Регистр сбрасывается при SSI_EN = 0.

Регистр резервирует 36 адресов, для поддержки AHB_BURST транзакций, запись в любой регистр равноценно помещению слов данных в FIFO передатчика, чтение любого из них равноценно чтению данных из FIFO приемника. Данные FIFO буферов не адресуются.

Формат регистра DR0 приведен в следующей таблице:

Таблица 94. Формат регистра DR0

Раз-ряды	Название	Описание	Сброс
31:0	DR	Data Register	0x0

14. КОНТРОЛЛЕР QSPI

14.1 Регистры QSPI

Перечень регистров QSPI приведен в следующей таблице:

Таблица 95. Перечень программно-доступных регистров QSPI

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x0000	TX_DATA	Регистр последовательной передачи данных	00000000	WO
0x0004	RX_DATA	Регистр последовательного приёма данных	00000000	RO
0x000C	CTRL	Основной регистр управления	00000021	RW
0x0010	CTRL_AUX	Вспомогательный регистр управления	00001F00	RW
0x0014	STAT	Регистр статуса	0000002C	RO
0x0018	SS	Регистр выбора Slave-устройства	00000000	RW
0x001C	SS_POL	Регистр полярности выбора Slave-устройства	00000000	RW
0x0020	INTR_EN	Регистр включения прерываний	00000000	RW
0x0024	INTR_STAT	Регистр статуса прерываний	00000000	RO
0x0028	INTR_CLR	Регистр очистки прерываний	00000000	?
0x002C	TX_FIFO_LVL	Регистр уровня заполнения буфера передачи FIFO (RO – только чтение)	00000000	RO
0x0030	RX_FIFO_LVL	Регистр уровня заполнения буфера приёма FIFO (RO – только чтение)	00000000	RO
0x0038	MASTER_DELAY	Регистр задержки между передачами в Master-режиме	00000000	RW
0x003C	ENABLE	Регистр подключения/отключения	00000000	RW

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x0040	GPO_SET	Регистр установки выводов общего назначения	00000000	RW
0x0044	GPO_CLR	Регистр очистки выводов общего назначения	00000000	RW
0x0048	FIFO_DEPTH	Регистр сконфигурированной глубины FIFO (RO – только чтение)	00000100	RO
0x004C	FIFO_WMARK	Регистр предельного уровня TX/RX	00008080	RW
0x0050	TX_DUMMY	Регистр пустой загрузки TX FIFO	00000000	WO

14.1.1 Описание регистра TX_DATA

Формат регистра TX_DATA приведен в следующей таблице:

Таблица 96. Поля регистра TX_DATA

Диапазон	Название	Описание	Сброс
31:0	data	Регистр последовательной передачи данных. Попытки упаковки передаваемых данных не предпринимаются. Таким образом, количество переданных на элемент FIFO битов определяется значением “bitsize” вспомогательного регистра управления. К тому же, значение “msb1st” в регистре управления определяет, какие биты элемента FIFO используются: старшие или младшие.	0

14.1.2 Описание регистра RX_DATA

Формат регистра RX_DATA приведен в следующей таблице:

Таблица 97. Поля регистра RX_DATA

Диапазон	Название	Описание	Сброс
31:0	data	Регистр последовательного приема данных. Попытки упаковки принимаемых данных не предпринимаются. Таким образом, количество принятых на элемент FIFO битов определяется значением “bitsize” вспомогательного регистра управления.	0

14.1.3 Описание регистра CTRL

Формат регистра CTRL приведен в следующей таблице:

Таблица 98. Поля регистра CTRL

Диапазон	Название	Описание	Сброс
31:12	-	Резерв	0
11	mWaitEn	Задержка между передачами для работы в режиме Master. 0=отключение задержки (полная скорость), 1=подключение задержки. См. mWait.	0
10:6	-	Резерв	0
5	master	Master-режим работы шины порта SPI; 0=slave-режим; 1=master-режим.	1
4	cpol	0 = тактовый сигнал SPI остается низким, 1 = тактовый сигнал SPI остается высоким.	0
3	cpha	0 = первые биты sdataOut запускаются при установке SS (выбора slave-устройства). 1 = sdataOut запускается на первом фронте тактового сигнала SPI после установки SS.	0
2	msb1st	MSB/LSB 1=старший бит (MSB) первый, 0=младший бит (LSB) первый. Замечание: в Quad или Dual режиме, эта установка влияет только на порядок (4-битный или 2-битный) кусочной передачи, а не на порядок битов внутри куска; sdataOut[3]/sdataIn[3] всегда являются старшим битом (MSB) куска данных в Quad режиме. sdataOut[1]/sdataIn[1] всегда являются старшим битом (MSB) куска данных в Dual режиме.	0
1	-	Резерв	0

Диапазон	Название	Описание	Сброс
0	contXfer	Бит непрерывной передачи. Это значимо только в Master-режиме. 0=между последовательными передачами бит ssOut становится неактивным. 1=бит ssOut остается активен до тех пор, пока TX FIFO не опустеет И пока бит contXferExtend (во вспомогательном регистре управления) не будет установлен на низкий уровень.	1

14.1.4 Описание регистра CTRL_AUX

Формат регистра CTRL_AUX приведен в следующей таблице:

Таблица 99. Поля регистра CTRL_AUX

Диапазон	Название	Описание	Сброс
31:13	-		0
12:8	bitsize	Bitsize – от 4 до 32 бит ‘h03 = 4 бита ‘h04 = 5 бит ‘h05 = 6 бит ... ‘h1F = 32 бита	5'b11111
7	contXferExtend	Бит продления непрерывной передачи. Используется только в Master-режиме. Более того, этот бит не имеет эффекта если бит contXfer в регистре управления равен 0. Этот бит синхронизирован с доменом SCLK для применения в нём. Следует отметить, что его установка также затрагивает тайминг сигнала подключения вывода master-устройства, sdataOutEnMN. При установке 1 ssOut[x] остается активен даже когда TX FIFO пуст. При установке 0 ssOut[x] становится неактивен когда TX FIFO пуст.	0
6	-		0

Диапазон	Название	Описание	Сброс
5:4	xferFormat	Выбор формата SPI. 00=Motorola SPI. 01=зарезервировано. 10=Синхронный последовательный кадр Texas Instruments – только одна линия. 11=Кадр National Microwire – только одна линия.	0
3	inhibitDin	Установка 1 запрещает шине SPI запись в FIFO данных чтения.	0
2	inhibitDout	Установка 1 запрещает сериализаторам SPI чтения из буфера передачи FIFO. Замечание: эта конфигурация предполагается к использованию в Slave-режиме. Во многих случаях Slave-устройство просто получает данные от Master-устройства; в этих случаях, установка этого бита позволит Slave-устройству принимать данные, не триггера условие недозаполнения TX FIFO.	0
1:0	qmode	Режимы Spi: 11=Quad SPI, 10=Dual SPI, 01=зарезервировано, 00=стандартный SPI.	0

14.1.5 Описание регистра STAT

Формат регистра STAT приведен в следующей таблице:

Таблица 100. Поля регистра STAT

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	rxTimeout	Флаг таймаута приема	0
8	rxOverflow	Флаг переполнения FIFO приема	0
7	rxFull	Флаг полного FIFO приема	0
6	rxWmark	Флаг предельного уровня заполнения FIFO приема	0
5	rxEmpty	Флаг пустого FIFO приема	1
4	txFull	Флаг полного FIFO передачи	0
3	txWmark	Флаг предельного уровня заполнения FIFO передачи	1
2	txEmpty	Флаг пустого FIFO передачи	1
1	-	Резерв	0

Диапазон	Название	Описание	Сброс
0	xferIP	Передача в процессе исполнения (ssOut/ssIn активны)	0

14.1.6 Описание регистра SS

Формат регистра SS приведен в следующей таблице:

Таблица 101. Поля регистра SS

Диапазон	Название	Описание	Сброс
31:1	-	Резерв	0
0:0	ssout	0=Не выбирать slave-устройство 0 для TX/RX. 1=Выбрать Slave-устройства 0 для TX/RX.	0

14.1.7 Описание регистра SS_POL

Формат регистра SS_POL приведен в следующей таблице:

Таблица 102. Поля регистра SS_POL

Диапазон	Название	Описание	Сброс
31:1	-	Резерв	0
0:0	sspol	0 =ssOut[0] (Master) или ssIn (Slave) – активный низкий сигнал. 1= ssOut[0] (Master) или ssIn (Slave) – активный высокий сигнал.	0

14.1.8 Описание регистра INTR_EN

Формат регистра INTR_EN приведен в следующей таблице:

Таблица 103. Поля регистра INTR_EN

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7	rxFifoOverflow	Разрешение прерывания по переполнению FIFO приема	0
6	xferDonePulse	Разрешение прерывания по завершению передачи	0
5	rxFullPulseExt	Разрешение прерывания по заполнению fifo приема	0

Диапазон	Название	Описание	Сброс
4	rxWmarkPulseExt	Разрешение прерывания по достижению предельного уровня заполнения FIFO приема	0
3	rxFullPulse	Разрешение прерывания по заполнению fifo приема	0
2	rxWmarkPulse	Разрешение прерывания по достижению предельного уровня заполнения FIFO приема	0
1	txWmarkPulse	Разрешение прерывания по достижению предельного уровня заполнения FIFO передачи	0
0	txEmptyPulse	Разрешение прерывания по опустошению fifo передачи	0

14.1.9 Описание регистра INTR_STAT

Формат регистра INTR_STAT приведен в следующей таблице:

Таблица 104. Поля регистра INTR_STAT

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7	rxFifoOverflow	Статус прерывания по переполнению FIFO приема	0
6	xferDonePulse	Статус прерывания по завершению передачи	0
5	rxFullPulseExt	Статус прерывания по заполнению fifo приема	0
4	rxWmarkPulseExt	Статус прерывания по достижению предельного уровня заполнения FIFO приема	0
3	rxFullPulse	Статус прерывания по заполнению fifo приема	0
2	rxWmarkPulse	Статус прерывания по достижению предельного уровня заполнения FIFO приема	0
1	txWmarkPulse	Статус прерывания по достижению предельного уровня заполнения FIFO передачи	0
0	txEmptyPulse	Статус прерывания по опустошению fifo передачи	0

14.1.10 Описание регистра INTR_CLR

Формат регистра INTR_CLR приведен в следующей таблице:

Таблица 105. Поля регистра INTR_CLR

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7	rxFifoOverflow	Сброс прерывания по переполнению FIFO приема	0
6	xferDonePulse	Сброс прерывания по завершению передачи	0
5	rxFullPulseExt	Сброс прерывания по заполнению fifo приема	0
4	rxWmarkPulseExt	Сброс прерывания по достижению предельного уровня заполнения FIFO приема	0
3	rxFullPulse	Сброс прерывания по заполнению fifo приема	0
2	rxWmarkPulse	Сброс прерывания по достижению предельного уровня заполнения FIFO приема	0
1	txWmarkPulse	Сброс прерывания по достижению предельного уровня заполнения FIFO передачи	0
0	txEmptyPulse	Сброс прерывания по опустошению fifo передачи	0

14.1.11 Описание регистра TX_FIFO_LVL

Формат регистра TX_FIFO_LVL приведен в следующей таблице:

Таблица 106. Поля регистра TX_FIFO_LVL

Диапазон	Название	Описание	Сброс
31:0	level	Чтение текущего уровня заполнения буфера передачи FIFO.	0

14.1.12 Описание регистра RX_FIFO_LVL

Формат регистра RX_FIFO_LVL приведен в следующей таблице:

Таблица 107. Поля регистра RX_FIFO_LVL

Диапазон	Название	Описание	Сброс
31:0	level	Чтение текущего уровня заполнения буфера приема FIFO.	0

14.1.13 Описание регистра MASTER_DELAY

Формат регистра MASTER_DELAY приведен в следующей таблице:

Таблица 108. Поля регистра MASTER_DELAY

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7:0	mWait	Если master (в регистре управления) имеет значение 1, этот регистр задает задержку между передачами для сериализатора master-устройства. Задержка равна (mwait+1) циклам SCLK.	0

14.1.14 Описание регистра ENABLE

Формат регистра ENABLE приведен в следующей таблице:

Таблица 109. Поля регистра ENABLE

Диапазон	Название	Описание	Сброс
31:1	-	Резерв	0
0	enableReq	Подключение SPI. 0= отключение приема и передачи SPI; сброс буферов FIFO RX и TX при переключении этого бита от 1 к 0. Хотя SPI может быть отключен в любое время, рекомендуется делать это, когда буферы FIFO пусты. После записи 0 в бит подключения, следует перепроверить бит подключения; только после того, как получено чтение того, что бит подключения равен 0, можно производить любые дальнейшие конфигурирования регистров. 1= подключение приема и передачи SPI.	0

14.1.15 Описание регистра GPO_SET

Формат регистра GPO_SET приведен в следующей таблице:

Таблица 110. Поля регистра GPO_SET

Диапазон	Название	Описание	Сброс
12	fdpxSet	Запись: запись единицы устанавливает бит fdpx который должен быть установлен для работы в режиме single	0
7:0	gpoSet	Запись: запись единиц (1) устанавливает отдельные биты spiGpo. Чтение: возвращает текущее состояние spiGpo	0

14.1.16 Описание регистра GPO_CLR

Формат регистра GPO_CLR приведен в следующей таблице:

Таблица 111. Поля регистра GPO_CLR

Диапазон	Название	Описание	Сброс
12	fdpxSet	Запись 1 сбрасывает бит fdpx который должен быть сброшен для работы в режимах dual и quad	
7:0	gpoClr	Запись: запись единиц (1) очищает отдельные биты spiGpo. Чтение: возвращает текущее состояние spiGpi[1:0].	0

14.1.17 Описание регистра FIFO_DEPTH

Формат регистра FIFO_DEPTH приведен в следующей таблице:

Таблица 112. Поля регистра FIFO_DEPTH

Диапазон	Название	Описание	Сброс
31:9	-	Резерв	0
8:0	fifoDepth	fifoDepth ** Глубина слова от 8 до 256 (степени двойки).	256

14.1.18 Описание регистра FIFO_WMARK

Формат регистра FIFO_WMARK приведен в следующей таблице:

Таблица 113. Поля регистра FIFO_WMARK

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15:8	txWmarkSet	Устанавливает значение предельного уровня FIFO передачи.	8'h80
7:0	rxWmarkSet	Устанавливает значение предельного уровня FIFO приема.	8'h80

14.1.19 Описание регистра TX_DUMMY

Формат регистра TX_DUMMY приведен в следующей таблице:

Таблица 114. Поля регистра TX_DUMMY

Диапазон	Название	Описание	Сброс
31:8	-	Резерв	0
7:0	txDummyWr	Запись значения сюда загружает в буфер TX FIFO N пустых слов данных с содержанием "12341234". N=значение, например, запись 0x5 загрузит в TX FIFO 5 слов данных со значением '1234'. ****	0

15. РЕЖИМ XIP (EXECUTE IN PLACE)

15.1 Общая информация

Регистр управления режим XIP контроллера QSPI.

15.2 Регистры QSPI_XIP_CFG

Перечень регистров QSPI_XIP_CFG приведен в следующей таблице:

Таблица 115. Перечень программно-доступных регистров QSPI_XIP_CFG

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x00	xip_cfg	Регистр конфигурации режима XIP QSPI1	24010003	RW

15.2.1 Описание регистра xip_cfg

Формат регистра xip_cfg приведен в следующей таблице:

Таблица 116. Поля регистра xip_cfg

Диапазон	Название	Описание	Сброс
31	xip_en	Регистр конфигурации режима работы QSPI: 0 - PIO, 1 - XIP	0
30	hpen	0 - режим High Performance отключен, 1 - режим High Performance включен	0
29	le32	0 - читаемые данные Big Endian, 1 - читаемые данные 32-битные Little Endian	1
28	addr4	4-байтный режим адресации. 0 - контроллер выдает 3 байта адреса, 1 - контроллер выдает 4 байта адреса.	0
27	cpol	Режим CPOL	0
26	cpha	Режим CPHA	1
25:24	hp_end_dummy	Задаёт количество тактов ожидания, необходимое для выхода из режима High Performance mode. Используется контроллером при выходе из XIP режима, чтобы убедиться что Flash память не осталась в режиме HP. Для режима Dual количество тактов ожидания равно данному значению умноженному на 4. Для режима Quad количество тактов ожидания равно данному значению умноженному на 2.	0

Диапазон	Название	Описание	Сброс
23:20	dummy_cycles	Количество тактов ожидания при приеме. Для режимов Fast Read, Fast Read Dual Output, Fast Read Quad Output количество тактов ожидания равно данному значению умноженному на 8. Для режима Fast Read Dual I/O количество тактов ожидания равно данному значению умноженному на 4 плюс 4. Для режима Fast Read Quad I/O количество тактов ожидания равно данному значению умноженному на 2 плюс 2.	0
19:16	ssen	Выбор активного SS QSPI0 4'b0001 - Slave Select 0, 8'b0010 - Slave Select 1, ... 8'b1000 - Slave Select 3. Другие значения зарезервированы.	1
15:8	hp_mode	Данный байт передается в подключенную Flash память, в контрольные регистры, и в зависимости от модели активирует опции производительности в режимах Dual I/O и Quad I/O.	0
7:0	cmd	Тип команды на чтение: 8'h03 - Read; 8'h0B - Fast Read; 8'h3B - Fast Dual Out Read; 8'h6B - Fast Quad Out Read; 8'hBB - Fast Dual I/O Read; 8'hEB - Fast Quad I/O Read; Другие значения зарезервированы	3

16. ИНТЕРФЕЙС ЦИФРО-АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ DFE

16.1 Общая информация

Блок представляет собой интерфейс с АЦП/ЦАП, упаковщик/распаковщик данных.

16.2 Подготовка к работе

Для подготовки DFE к работе необходимо помимо регистров описанных ниже выполнить функцию:

```
void prepareDfe(void){
*(volatile uint32_t*) (DFE_BASE+0x08100) = 0;
*(volatile uint32_t*) (DFE_BASE+0x0A090) = 0;
*(volatile uint32_t*) (DFE_BASE+0x0A180) = 0;
*(volatile uint32_t*) (DFE_BASE+0x0A204) = 0;
*(volatile uint32_t*) (DFE_BASE+0x12180) = 0;
*(volatile uint32_t*) (DFE_BASE+0x12090) = 0;
*(volatile uint32_t*) (DFE_BASE+0x10220) = 0;
*(volatile uint32_t*) (DFE_BASE+0x10280) = 0;
}
```

16.3 Регистры DFE

Перечень регистров DFE приведен в следующей таблице:

Таблица 117. Перечень программно-доступных регистров DFE

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x00000	DFE_TOP_DEVID	Регистр идентификатора	00DFE16B	RO
0x00004	DFE_TOP_PPS_DIV	Делитель для формирования внутреннего сигнала PPS. Положительное целое число	0124F800	RW
0x00008	DFE_TOP_CLK_SYNC_CFG	Управление синхросигналами и тактовыми сигналами	00000000	RW
0x0000c	DFE_TOP_SYNC_CTRL	Управление синхросигналами	00000000	RW
0x00010	DFE_TOP_DMA12_CTRL	Управление 1 и 2 каналом DMA DFE2SYS	00000000	RW

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x00014	DFE_TOP_D MATX12_CTL RL	Управление 1 и 2 каналом DMA SYS2DFE	00000303	RW
0x00018	DFE_TOP_DR CNT_1	Счетчик входных отсчетов Tx канала №1	00000000	RW
0x0001c	DFE_TOP_DR CNT_2	Счетчик входных отсчетов Tx канала №2	00000000	RW
0x00020	DFE_TOP_DR CNT_TRS_1	Порог компаратора для счетчика DRCNT_1	00000000	RW
0x00024	DFE_TOP_DR CNT_TRS_2	Порог компаратора для счетчика DRCNT_2	00000000	RW
0x00080	INT_CTRL_IR Q	Регистр запросов прерываний	00000000	RW
0x00084	INT_CTRL_I RQ_MASK	Регистр маскирования прерываний	00000000	RW
0x00088	INT_CTRL_IR Q_RESET	Регистр сброса прерываний	00000000	WO
0x0008C	INT_CTRL_I RQ_SENSE	Регистр управления чувствительностью прерываний	00001FFF	RW
0x00090	INT_CTRL_D MA_INT	Регистр запросов прерываний от DMA	00000030	RW
0x00094	INT_CTRL_D MA_INT_MA SK	Регистр маскирования прерываний от DMA	00000030	RW
0x00098	INT_CTRL_D MA_INT_RE SET	Регистр сброса прерываний от DMA	00000030	WO
0x0009C	INT_CTRL_D MA_INT_SEN SE	Регистр управления чувствительностью прерываний от DMA	000003FF	RW
0x00180	TX_SCHED0_ SYNCCFG_CTL RL	Регистр состояния и управления планировщиком конфигурации 0	00000000	RW
0x00184	TX_SCHED0_ CNT	Счетчик отсчетов	1BAD0BAD	RW

Смещение	Условное обозначение	Название регистра	Исходное состояние	Тип доступа
0x00188	TX_SCHED0_TASK	Запись: целевой счетчик новой задачи. Чтение: целевой счетчик текущей задачи	1BAD0BAD	RW
0x00200	TX_SCHED1_SYNCCFG_CTRL	Регистр состояния и управления планировщиком конфигурации 1	00000000	RW
0x00204	TX_SCHED1_CNT	Счетчик отсчетов	1BAD0BAD	RW
0x00208	TX_SCHED1_TASK	Запись: целевой счетчик новой задачи. Чтение: целевой счетчик текущей задачи	1BAD0BAD	RW
0x08080	ADC_INTERF ACE_ADC_CS R	Управление интерфейсом с АЦП	00002000	RW
0x0A000	RX_CHNL_CTRL	Общий регистр управления канала	00000000	RW
0x0A004	RX_CHNL_PPS_POS	Позиция строба PPS относительно начала входного потока	FFFFFFFF	RO
0x10080	TX_DAC_CTRL	Режим работы интерфейса с ЦАП	00002000	RW
0x10084	TX_DAC_CODE	Значения I и Q для TST_MODE	00000000	RW

16.3.1 Описание регистра DFE_TOP_DEVID

Формат регистра DFE_TOP_DEVID приведен в следующей таблице:

Таблица 118. Поля регистра DFE_TOP_DEVID

Диапазон	Название	Описание	Сброс
31:0	DEVID	Идентификатор устройства	0x00dfe16b

16.3.2 Описание регистра DFE_TOP_PPS_DIV

Формат регистра DFE_TOP_PPS_DIV приведен в следующей таблице:

Таблица 119. Поля регистра DFE_TOP_PPS_DIV

Диапазон	Название	Описание	Сброс
31:0	PPS_DIV	Значение делителя	0x0124f800

16.3.3 Описание регистра DFE_TOP_CLK_SYNC_CFG

Формат регистра DFE_TOP_CLK_SYNC_CFG приведен в следующей таблице:

Таблица 120. Поля регистра DFE_TOP_CLK_SYNC_CFG

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	FB_CLK_ON	Включение тактового сигнала на тестовом выходе. 1 - включен	0
14:8	-	Резерв	0
7	RX_FB_CLK_ON	Включение тактового сигнала на тестовом выходе. 1 - включен	0
6:0	-	Резерв	0

16.3.4 Описание регистра DFE_TOP_SYNC_CTRL

Формат регистра DFE_TOP_SYNC_CTRL приведен в следующей таблице:

Таблица 121. Поля регистра DFE_TOP_SYNC_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15:14	PPS_SEL	Выбор источника шкалы времени (сигнала PPS) 0 - старт синхронен с PPS[0] 1 - старт синхронен с PPS[1]	0
13	RX_START_PPSYNC	Синхронизация старта RX тракта с импульсом PPS 0 - синхронизации нет. 1 - старт синхронен с выбранным PPS	0
12	TX_START_PPSYNC	Синхронизация старта TX тракта с импульсом PPS 0 - синхронизации нет. 1 - старт синхронен с выбранным PPS	0
7	PPS_PULSE	Запись единицы в поле формирует разовый внутренний импульс PPS. Читается нулем	0
6:3	-	Резерв	0
2	RX_SYNCSTARTOUT	Установка значения сигнала SYNC_START_OUT RX тракта.	0
1	TX_SYNCSTARTOUT	Установка значения сигнала SYNC_START_OUT TX тракта.	0

16.3.5 Описание регистра DFE_TOP_DMARX12_CTRL

Формат регистра DFE_TOP_DMARX12_CTRL приведен в следующей таблице:

Таблица 122. Поля регистра DFE_TOP_DMARX12_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	DMARX1_ENA	Включение/выключение канала DMA. Активный - единица.	0
14:13	-	Резерв	0
12:10	DMARX1_PACK_MODE	Управление режимом упаковки данных	0
9	DMARX1_FULL	Флаги состояния «Full» FIFO канала DMA. Активный – 1	0
8	DMARX1_NOT_EMPTY	Флаги состояния «Not Empty» FIFO канала DMA. Активный – 1	0

16.3.6 Описание регистра DFE_TOP_DMATX12_CTRL

Формат регистра DFE_TOP_DMATX12_CTRL приведен в следующей таблице:

Таблица 123. Поля регистра DFE_TOP_DMATX12_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	DMATX1_ENA	Включение/выключение канала DMA. Активный - 1	0
14:13	-	Резерв	0
12:10	DMATX1_PACK_MODE	Управление режимом упаковки данных	0
9	DMATX1_EMPTY	Флаги состояния «Empty» FIFO канала DMA. Активный – 1	1
8	DMATX1_NOT_FULL	Флаги состояния «Not Full» FIFO канала DMA. Активный – 1	1

16.3.7 Описание регистра DFE_TOP_DRCNT_1

Формат регистра DFE_TOP_DRCNT_1 приведен в следующей таблице:

Таблица 124. Поля регистра DFE_TOP_DRCNT_1

Диапазон	Название	Описание	Сброс
31:0	DRCNT	Значение счетчика	0

16.3.8 Описание регистра DFE_TOP_DRCNT_2

Значение счетчика

Формат регистра DFE_TOP_DRCNT_2 приведен в следующей таблице:

Таблица 125. Поля регистра DFE_TOP_DRCNT_2

Диапазон	Название	Описание	Сброс
31:0	DRCNT	Значение счетчика	0

16.3.9 Описание регистра DFE_TOP_DRCNT_TRS_1

Формат регистра DFE_TOP_DRCNT_TRS_1 приведен в следующей таблице:

Таблица 126. Поля регистра DFE_TOP_DRCNT_TRS_1

Диапазон	Название	Описание	Сброс
31:0	DRCNT_TRS	Порог компаратора	0

16.3.10 Описание регистра DFE_TOP_DRCNT_TRS_2

Формат регистра DFE_TOP_DRCNT_TRS_2 приведен в следующей таблице:

Таблица 127. Поля регистра DFE_TOP_DRCNT_TRS_2

Диапазон	Название	Описание	Сброс
31:0	DRCNT_TRS	Порог компаратора	0

16.3.11 Описание регистра INT_CTRL_IRQ

Формат регистра INT_CTRL_IRQ приведен в следующей таблице:

Таблица 128. Поля регистра INT_CTRL_IRQ

Диапазон	Название	Описание	Сброс
31:13	-	Резерв	0
12	TX_DRCNT_2_EXC	Прерывание по достижению счетчика DRCNT_2 значения DRCNT_TRS_2	0
11	TX_DRCNT_1_EXC	Прерывание по достижению счетчика DRCNT_1 значения DRCNT_TRS_1	0
10	DMA_INT	Объединенное прерывание от прерываний DMA	0
9	RX_INFIFO_ERR	Прерывание от ADCINTERFACE	0

Диапазон	Название	Описание	Сброс
8	TX_OUTFIFO_ERR	Прерывание от DACINTERFACE	0
7	PPS_EVENT	Прерывание по PPS	0
6	TX1_TASK_END	Прерывание по окончании передачи в канале TX1 (из блока TX_CHNL)	0
5	TX1_TASK_MISS	Прерывание при пропуске передачи фрейма в канале TX1(из блока TX_CHNL)	0
4	TX2_TASK_END	Прерывание по окончании передачи в канале TX2 (из блока TX_CHNL)	0
3	TX2_TASK_MISS	Прерывание при пропуске передачи фрейма в канале TX2 (из блока TX_CHNL)	0
2	TX_PUSH_DONE	Прерывание по окончании процедуры PUSH от DACINTERFACE	0
1	SE_RDY	Объединенное прерывание от сигналов INT_SE	0
0	Reserved		0

16.3.12 Описание регистра INT_CTRL_IRQ_MASK

Формат регистра INT_CTRL_IRQ_MASK приведен в следующей таблице:

Таблица 129. Поля регистра INT_CTRL_IRQ_MASK

Диапазон	Название	Описание	Сброс
31:13	-	Резерв	0
12	TX_DRCNT_2_EXC	Разрешение прерывания по достижению счетчика DRCNT_2 значения DRCNT_TRS_2	0
11	TX_DRCNT_1_EXC	Разрешение прерывания по достижению счетчика DRCNT_1 значения DRCNT_TRS_1	0
10	DMA_INT	Разрешение прерывания DMA	0
9	RX_INFIFO_ERR	Разрешение прерывания ADCINTERFACE	0
8	TX_OUTFIFO_ERR	Разрешение прерывания DACINTERFACE	0
7	PPS_EVENT	Разрешение прерывания по PPS	0
6	TX1_TASK_END	Разрешение прерывания по окончании передачи в канале TX1	0
5	TX1_TASK_MISS	Разрешение прерывания Прерывание при пропуске передачи фрейма в канале TX1	0
4	TX2_TASK_END	Разрешение прерывания по окончании передачи в канале TX2	0

Диапазон	Название	Описание	Сброс
3	TX2_TASK_MISS	Разрешение прерывания Прерывание при пропуске передачи фрейма в канале TX2	0
2	TX_PUSH_DONE	Разрешение прерывания по окончании процедуры PUSH	0
1	SE_RDY	Разрешение прерывания по сигналам INT_SE	0
0	Reserved		0

16.3.13 Описание регистра INT_CTRL_IRQ_RESET

Формат регистра INT_CTRL_IRQ_RESET приведен в следующей таблице:

Таблица 130. Поля регистра INT_CTRL_IRQ_RESET

Диапазон	Название	Описание	Сброс
31:13	-	Резерв	0
12	TX_DRCNT_2_EXC	Запись единицы приводит к сбросу прерывания	0
11	TX_DRCNT_1_EXC	Запись единицы приводит к сбросу прерывания	0
10	DMA_INT	Запись единицы приводит к сбросу прерывания	0
9	RX_INFIFO_ERR	Запись единицы приводит к сбросу прерывания	0
8	TX_OUTFIFO_ERR	Запись единицы приводит к сбросу прерывания	0
7	PPS_EVENT	Запись единицы приводит к сбросу прерывания	0
6	TX1_TASK_END	Запись единицы приводит к сбросу прерывания	0
5	TX1_TASK_MISS	Запись единицы приводит к сбросу прерывания	0
4	TX2_TASK_END	Запись единицы приводит к сбросу прерывания	0
3	TX2_TASK_MISS	Запись единицы приводит к сбросу прерывания	0
2	TX_PUSH_DONE	Запись единицы приводит к сбросу прерывания	0
1	SE_RDY	Запись единицы приводит к сбросу прерывания	0
0	Reserved		0

16.3.14 Описание регистра INT_CTRL_IRQ_SENSE

Формат регистра INT_CTRL_IRQ_SENSE приведен в следующей таблице:

Таблица 131. Поля регистра INT_CTRL_IRQ_SENSE

Диапазон	Название	Описание	Сброс
31:13	-	Резерв	0
12	TX_DRCNT_2_EXC	0 - по уровню, 1 - по фронту	1
11	TX_DRCNT_1_EXC	0 - по уровню, 1 - по фронту	1
10	DMA_INT	0 - по уровню, 1 - по фронту	1
9	RX_INFIFO_ERR	0 - по уровню, 1 - по фронту	1
8	TX_OUTFIFO_ERR	0 - по уровню, 1 - по фронту	1
7	PPS_EVENT	0 - по уровню, 1 - по фронту	1
6	TX1_TASK_END	0 - по уровню, 1 - по фронту	1
5	TX1_TASK_MISS	0 - по уровню, 1 - по фронту	1
4	TX2_TASK_END	0 - по уровню, 1 - по фронту	1
3	TX2_TASK_MISS	0 - по уровню, 1 - по фронту	1
2	TX_PUSH_DONE	0 - по уровню, 1 - по фронту	1
1	SE_RDY	0 - по уровню, 1 - по фронту	1
0	Reserved		1

16.3.15 Описание регистра INT_CTRL_DMA_INT

Формат регистра INT_CTRL_DMA_INT приведен в следующей таблице:

Таблица 132. Поля регистра INT_CTRL_DMA_INT

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	DMARX1_EOF	Прерывание по пустому FIFO (окончанию выборки сигнала) DMARX интерфейса №1	0
8	DMARX2_EOF	Прерывание по пустому FIFO (окончанию выборки сигнала) DMARX интерфейса №2	0

Диапазон	Название	Описание	Сброс
7	DMARX1_FULLL	Прерывание по полному FIFO DMARX интерфейса №1	0
6	DMARX2_FULLL	Прерывание по полному FIFO DMARX интерфейса №2	0
5	DMATX1_EMPTY	Прерывание по пустому FIFO DMATX интерфейса №1	1
4	DMATX2_EMPTY	Прерывание по пустому FIFO DMATX интерфейса №2	1
3	DMARX1_ERROR	Прерывание по ошибке DMARX интерфейса №1	0
2	DMARX2_ERROR	Прерывание по ошибке DMARX интерфейса №2	0
1	DMATX1_ERROR	Прерывание по ошибке DMATX интерфейса №1	0
0	DMATX2_ERROR	Прерывание по ошибке DMATX интерфейса №2	0

16.3.16 Описание регистра INT_CTRL_DMA_INT_MASK

Формат регистра INT_CTRL_DMA_INT_MASK приведен в следующей таблице:

Таблица 133. Поля регистра INT_CTRL_DMA_INT_MASK

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	DMARX1_EOF	Разрешение прерывания по пустому FIFO (окончанию выборки сигнала) DMARX интерфейса №1	0
8	DMARX2_EOF	Разрешение прерывания по пустому FIFO (окончанию выборки сигнала) DMARX интерфейса №2	0
7	DMARX1_FULLL	Разрешение прерывания по полному FIFO DMARX интерфейса №1	0
6	DMARX2_FULLL	Разрешение прерывания по полному FIFO DMARX интерфейса №2	0
5	DMATX1_EMPTY	Разрешение прерывания по пустому FIFO DMATX интерфейса №1	1
4	DMATX2_EMPTY	Разрешение прерывания по пустому FIFO DMATX интерфейса №2	1
3	DMARX1_ERROR	Разрешение прерывания по ошибке DMARX интерфейса №1	0
2	DMARX2_ERROR	Разрешение прерывания по ошибке DMARX интерфейса №2	0

Диапазон	Название	Описание	Сброс
1	DMATX1_ER R	Разрешение прерывания по ошибке DMATX интерфейса №1	0
0	DMATX2_ERR	Разрешение прерывания по ошибке DMATX интерфейса №2	0

16.3.17 Описание регистра INT_CTRL_DMA_INT_RESET

Формат регистра INT_CTRL_DMA_INT_RESET приведен в следующей таблице:

Таблица 134. Поля регистра INT_CTRL_DMA_INT_RESET

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	DMARX1_EO F	Запись единицы приводит к сбросу прерыва- ния	0
8	DMARX2_EOF	Запись единицы приводит к сбросу прерыва- ния	0
7	DMARX1_FU LL	Запись единицы приводит к сбросу прерыва- ния	0
6	DMARX2_FUL L	Запись единицы приводит к сбросу прерыва- ния	0
5	DMATX1_EM P	Запись единицы приводит к сбросу прерыва- ния	1
4	DMATX2_EMP	Запись единицы приводит к сбросу прерыва- ния	1
3	DMARX1_ER R	Запись единицы приводит к сбросу прерыва- ния	0
2	DMARX2_ERR	Запись единицы приводит к сбросу прерыва- ния	0
1	DMATX1_ER R	Запись единицы приводит к сбросу прерыва- ния	0
0	DMATX2_ERR	Запись единицы приводит к сбросу прерыва- ния	0

16.3.18 Описание регистра INT_CTRL_DMA_INT_SENSE

Формат регистра INT_CTRL_DMA_INT_SENSE приведен в следующей таблице:

Таблица 135. Поля регистра INT_CTRL_DMA_INT_SENSE

Диапазон	Название	Описание	Сброс
31:10	-	Резерв	0
9	DMARX1_EO F	0 - по уровню, 1 - по фронту	1

Диапазон	Название	Описание	Сброс
8	DMARX2_EOF	0 - по уровню, 1 - по фронту	1
7	DMARX1_FULLL	0 - по уровню, 1 - по фронту	1
6	DMARX2_FULLL	0 - по уровню, 1 - по фронту	1
5	DMATX1_EMP	0 - по уровню, 1 - по фронту	1
4	DMATX2_EMP	0 - по уровню, 1 - по фронту	1
3	DMARX1_ERRR	0 - по уровню, 1 - по фронту	1
2	DMARX2_ERR	0 - по уровню, 1 - по фронту	1
1	DMATX1_ERRR	0 - по уровню, 1 - по фронту	1
0	DMATX2_ERR	0 - по уровню, 1 - по фронту	1

16.3.19 Описание регистра TX_SCHED0_SYNCCFG_CTRL

Формат регистра TX_SCHED0_SYNCCFG_CTRL приведен в следующей таблице:

Таблица 136. Поля регистра TX_SCHED0_SYNCCFG_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	SYNC_CFG_ENA	0-Формирование сигнала синхронизации запрещено, продвижение очереди запрещено. 1- Формирование сигнала синхронизации разрешено, продвижение очереди разрешено.	0
14	CNT_RST	Сброс счетчика отсчетов записью единицы. Читается нулем	0
13	SHED_RST	Сброс очереди задач записью единицы. Читается нулем	0
12	SYNC_FRC	Принудительное формирование синхросигнала записью единицы. Читается нулем	0
11	CNT_LOCK	Запоминание состояния счетчика отсчетов и “задания” записью единицы.	0
10:5	-	Резерв	0
4:0	SYNC_CFG_LIST	При чтении возвращается кол-во занятых ячеек в очереди. 0000 соответствует пустой очереди	0

16.3.20 Описание регистра TX_SCHED0_CNT

Формат регистра TX_SCHED0_CNT приведен в следующей таблице:

Таблица 137. Поля регистра TX_SCHED0_CNT

Диапазон	Название	Описание	Сброс
31:0	CNT	Значение счетчика отсчетов	464325549

16.3.21 Описание регистра TX_SCHED0_TASK

Формат регистра TX_SCHED0_TASK приведен в следующей таблице:

Таблица 138. Поля регистра TX_SCHED0_TASK

Диапазон	Название	Описание	Сброс
31:0	TASK	Номер отсчета на котром будет сформирован sync_cfg	464325549

16.3.22 Описание регистра TX_SCHED1_SYNCCFG_CTRL

Формат регистра TX_SCHED1_SYNCCFG_CTRL приведен в следующей таблице:

Таблица 139. Поля регистра TX_SCHED1_SYNCCFG_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	SYNC_CFG_ENA	0-Формирование сигнала синхронизации запрещено, продвижение очереди запрещено. 1- Формирование сигнала синхронизации разрешено, продвижение очереди разрешено.	0
14	CNT_RST	Сброс счетчика отсчетов записью единицы. Читается нулем	0
13	SHED_RST	Сброс очереди задач записью единицы. Читается нулем	0
12	SYNC_FRC	Принудительное формирование синхросигнала записью единицы. Читается нулем	0
11	CNT_LOCK	Запоминание состояния счетчика отсчетов и “задания” записью единицы.	0
10:5	-	Резерв	0
4:0	SYNC_CFG_LIST	При чтении возвращается кол-во занятых ячеек в очереди. 0000 соответствует пустой очереди	0

16.3.23 Описание регистра TX_SCHED1_CNT

Формат регистра TX_SCHED1_CNT приведен в следующей таблице:

Таблица 140. Поля регистра TX_SCHED1_CNT

Диапазон	Название	Описание	Сброс
31:0	CNT	Значение счетчика	464325549

16.3.24 Описание регистра TX_SCHED1_TASK

Формат регистра TX_SCHED1_TASK приведен в следующей таблице:

Таблица 141. Поля регистра TX_SCHED1_TASK

Диапазон	Название	Описание	Сброс
31:0	TASK	Номер отсчета на котром будет сформирован sync_cfg	464325549

16.3.25 Описание регистра ADC_INTERFACE_ADC_CSR

Формат регистра ADC_INTERFACE_ADC_CSR приведен в следующей таблице:

Таблица 142. Поля регистра ADC_INTERFACE_ADC_CSR

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	ADC_IF_ENA	Глобальное включение/выключение интерфейса. 1 - интерфейс включен. 0 - интерфейс выключен	0
14	FALL_EDGE_EN	Включение защелкивания данных с шины ADC_DATA по срезу. 1 - Защелкивание по срезу 0 - Защелкивание по фронту.	0
13	FRAME_AL	Активный уровень сигнала фреймовой синхронизации ADC_FRAME.	1
12	I_ZERO	Обнуление выходных данных I компоненты 1 - Обнуление 0 - Штатный режим	0
11	Q_ZERO	Обнуление выходных данных Q компоненты 1 - Обнуление 0 - Штатный режим	0
10:2	-	Резерв	0
1	CLK_ERR	Ошибка тактового сигнала RD_CLK, (ADC CDC фифо полное, 16 отсчетов). Возникает в случае, когда темп поступления новых отсчетов из АЦП ниже скорости чтения из FIFO	0

Диапазон	Название	Описание	Сброс
0	FRAME_ERR	Ошибка фрейма, фрейм (ADC_FRAME) не обнаружен или период между фреймами больше 8 тактов ADC_CLK.	0

16.3.26 Описание регистра RX_CHNL_CTRL

Формат регистра RX_CHNL_CTRL приведен в следующей таблице:

Таблица 143. Поля регистра RX_CHNL_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	ENABLE	Разрешение работы канала “0”-канал выключен и находится в режиме низкого энергопотребления “1”-канал включен	0
14	STATE	Состояние канала “0”-канал находится в ожидании SYNC_START “1”- SYNC_START=’1’	0
13	SYNC_EVENT	Флаг произошедшего события, что строб SYNC_CFG достиг выходного интерфейса (DATA_OUT). Сброс осуществляется записью единицы в этот бит.	0
12	PPS_EVENT	Флаг произошедшего события, что строб PPS детектирован на входе Сброс осуществляется записью единицы в этот бит.	0
11:0	-	Резерв	0

16.3.27 Описание регистра RX_CHNL_PPS_POS

Формат регистра RX_CHNL_PPS_POS приведен в следующей таблице:

Таблица 144. Поля регистра RX_CHNL_PPS_POS

Диапазон	Название	Описание	Сброс
31:0	PPS_POS	Номер отсчета на котором произошел PPS	4294967295

16.3.28 Описание регистра TX_DAC_CTRL

Формат регистра TX_DAC_CTRL приведен в следующей таблице:

Таблица 145. Поля регистра TX_DAC_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0

Диапазон	Название	Описание	Сброс
15	DAC_IF_ENA	Глобальное включение/выключение интерфейса. 1 - интерфейс включен. 0 - интерфейс выключен или находится в тестовом режиме.	0
14	PUSH_EXIT	Запись единицы останавливает процедуру PUSH.	0
13	FRAME_AL	Активный уровень сигнала фреймовой синхронизации DAC_FRAME.	1
12	DATA_ORDER	Порядок следования компонент в выходном отсчете. 0 - первым следует DATA_I 1- первым следует DATA_Q	0
11	TST_MODE_ENA	Разрешение тестового режима 1 - разрешен.	0
10:7	-	Резерв	0
6	SYNC_START_IN	Состояние сигнала SYNC_START_IN	0
5	TX_MARK	Состояние сигнала TX_MARK_IN	0
4	PUSH_MARK	Состояние сигнала PUSH_MARK_IN	0
3:2	TST_MODE	Режим работы в тестовом режиме 00- установлены значения из регистра 01 "BPSK_I" 10 "BPSK_Q" 11 "QPSK"	0
1	CLK_ERR	Признак ошибки перехода между тактовыми доменами	0
0	PUSH	Запись единицы стартует процедуру PUSH. На чтение состояние процедуры PUSH.	0

16.3.29 Описание регистра TX_DAC_CODE

Формат регистра TX_DAC_CODE приведен в следующей таблице:

Таблица 146. Поля регистра TX_DAC_CODE

Диапазон	Название	Описание	Сброс
31:28	-	Резерв	0
27:16	DATA_Q	Значение Q для TST_MODE=00	0
15:12	-	Резерв	0
11:0	DATA_I	Значение I для TST_MODE=00	0

16.3.30 Описание регистра TX_CHNL_CTRL

Формат регистра TX_CHNL_CTRL приведен в следующей таблице:

Таблица 147. Поля регистра TX_CHNL_CTRL

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	ENABLE	Разрешение работы канала “0”-канал выключен и находится в режиме низкого энергопотребления “1”-канал включен	0
14	STATE	Состояние канала “0”-канал находится в ожидании SYNC_START_IN “1”-SYNC_START_IN=’1’	0
13	SYNC_EVENT	Флаг произошедшего события, что строб SYNC_CFG достиг выходного интерфейса (DATA_OUT). Сброс осуществляется записью единицы в этот бит.	0
12	PPS_EVENT	Флаг произошедшего события, что строб PPS детектирован на входе Сброс осуществляется записью единицы в этот бит.	0
11	PM_OUT	Состояние сигнала PUSH_MARK_OUT	0
10	DR_WRAP	Флаг WRAP счетчика DR_CNT.	0
9:8	MODE	Режим работы 00 – Без планировщика задач. DR_CNT сбрасывается при старте. 01 – Под управлением планировщика задач. Старт планировщика по SYNC_START_IN. DR_CNT сбрасывается при старте. 10 – Под управлением планировщика задач. Старт планировщика по PPS, DR_CNT сбрасывается при старте, но не сбрасывается по последующим PPS 11 – Под управлением планировщика задач. Старт планировщика по PPS, DR_CNT сбрасывается при старте и при каждом PPS	0
7:0	-	Резерв	0

16.3.31 Описание регистра TX_CHNL_TASK_STATE

Формат регистра TX_CHNL_TASK_STATE приведен в следующей таблице:

Таблица 148. Поля регистра TX_CHNL_TASK_STATE

Диапазон	Название	Описание	Сброс
31:16	-	Резерв	0
15	SCH_ENABLE	Разрешение работы планировщика. Ноль временно останавливает работу планировщика.	0
14	SHD_STATE	Флаг синхронизации планировщика.	0
13	QUEUE_RESET	Сброс очереди задач. Запись единицы сбрасывает очередь.	0

Диапазон	Название	Описание	Сброс
12	TSKMISS_FLG	На чтение флаг пропуска задачи. 1- пропущена хотя бы одна задача. На запись- запись единицы сбрасывает флаг.	0
11	-	Резерв	0
10:5	PPS_CNT	Счетчик PPS.	0
4:0	TASK_CNT	Количество задач в очереди. При чтении возвращается кол-во занятых ячеек в очереди, 00000 соответствует пустой очереди.	0

16.3.32 Описание регистра TX_CHNL_DT0

Формат регистра TX_CHNL_DT0 приведен в следующей таблице:

Таблица 149. Поля регистра TX_CHNL_DT0

Диапазон	Название	Описание	Сброс
31:16	DT0R	Задержка в отсчетах на спадающий фронт PUSH_MARK	0
15:0	DT0F	Задержка в отсчетах на возрастающий фронт PUSH_MARK	0

16.3.33 Описание регистра TX_CHNL_DT1

Формат регистра TX_CHNL_DT1 приведен в следующей таблице:

Таблица 150. Поля регистра TX_CHNL_DT1

Диапазон	Название	Описание	Сброс
31:20	-	Резерв	0
19:0	DT	Количество отсчетов	0

16.3.34 Описание регистра TX_CHNL_DT2

Формат регистра TX_CHNL_DT2 приведен в следующей таблице:

Таблица 151. Поля регистра TX_CHNL_DT2

Диапазон	Название	Описание	Сброс
31:20	-	Резерв	0
19:0	DT	Количество отсчетов	0

16.3.35 Описание регистра TX_CHNL_TASK_TME

Формат регистра TX_CHNL_TASK_TME приведен в следующей таблице:

Таблица 152. Поля регистра TX_CHNL_TASK_TME

Диапазон	Название	Описание	Сброс
31:0	TASK_TME	Значение таймера начала передачи фрейма	0

16.3.36 Описание регистра TX_CHNL_DR_CNT

Формат регистра TX_CHNL_DR_CNT приведен в следующей таблице:

Таблица 153. Поля регистра TX_CHNL_DR_CNT

Диапазон	Название	Описание	Сброс
31:0	COUNTER		0

17. УСТРОЙСТВО ПРЯМОГО ДОСТУПА К ПАМЯТИ DFE_DMA

17.1 Назначение и основные возможности

- Контроллер предназначен для обмена данными между соответствующим подключенным портом и внутренней или внешней памятью по всему доступному адресному пространству.
- Контроллер разделён на каналы чтения и каналы записи. Каналы чтения выполняют чтение данных из памяти и передачу их в порт. Каналы записи принимают данные от порта и записывают их в память.
- Количество каналов записи и каналов чтения определяется требованиями порта подключенного к контроллеру.
- Каждый канал осуществляет линейный доступ в память указанной длины, начиная с указанного адреса.
- Каждый канал может поддерживать байтовые обмены и обмены 32-х разрядными словами. Наличие таких обменов зависит от требований подключенного порта. По умолчанию обмены ведутся 64-х разрядными словами.
- Максимальное количество передаваемых слов за один обмен задаётся программно для каждого канала отдельно. Оно не может быть больше 16-ти 64-х разрядных слов.
- Каждый канал поддерживает цепочки дескрипторов самоинициализации (блок параметров задания). Дескрипторы должны располагаться в памяти по границам 64-х разрядных слов. Дескриптор следующего задания автоматически читается из памяти при завершении текущего задания.
- Канал останавливает выполнение текущего задания и устанавливает прерывание при получении ответа со статусом "ошибка" на транзакции обмена данными.

17.2 Регистры статуса и управления

Контроллер состоит из каналов записи и каналов чтения. Каждый канал имеет отдельный набор регистров управления. Также имеется один общий регистр прерываний от всех каналов записи и один общий регистр прерываний от всех каналов чтения.

Адрес каждого управляющего регистра отдельного канала записи или чтения формируется следующим образом:

- Номер канала задаётся в разрядах 11:6 адреса. Сначала в адресном пространстве располагаются каналы записи от 0 до (WR_CHAN-1), затем каналы чтения от WR_CHAN до (WR_CHAN+RD_CHAN-1). Где WR_CHAN - количество каналов записи, RD_CHAN - количество каналов чтения. Распределение каналов чтения и записи по разрядам 11:6 адреса приведено в таблице.

Таблица 154. Распределение каналов чтения и записи по разрядам 11:6 адреса

Разряды 11:6 адреса	Описание
0	Адрес 0-ого канала записи
1	Адрес 1-ого канала записи
...	

Разряды 11:6 адреса	Описание
WR_CHAN-1	Адрес канала записи под номер WR_CHAN-1
WR_CHAN	Адрес 0-ого канала чтения
WR_CHAN+1	Адрес 1-ого канала чтения
...	
WR_CHAN+RD_CHAN-1	Адрес канала чтения под номером RD_CHAN-1

- В рамках выбранного канала, адрес требуемого регистра задаётся в разрядах 5:2 адреса.
- Разряды 1:0 адреса установить в 0.

Количество каналов записи WR_CHAN и чтения RD_CHAN определяется требованиями порта подключенного к контроллеру.

17.3 Перечень регистров статуса и управления отдельного канала

Таблица 155. Перечень регистров статуса и управления отдельного канала

Обозначение регистра	Назначение	Смещение внутри канала, разряды 5:0 адреса	Исходное значение
CSR	Регистр управления каналом и статуса выполнения задания	0x00	0x00
BC	Регистр количества байт данных, которые должен записать/прочитать канал (длина непрерывной области памяти в байтах)	0x04	0x00
CPL	Регистр младшей части (разряды 31:0) физического адреса дескриптора самоинициализации	0x08	0x00
CPH	Регистр старшей части (разряды 63:32) физического адреса дескриптора самоинициализации	0x0C	0x00
IRL	Регистр младшей части (разряды 31:0) физического адреса начала области памяти данных	0x10	0x00
IRH	Регистр старшей части (разряды 63:32) физического адреса начала области памяти данных	0x14	0x00
PCSR	Псевдорегистр CSR	0x18	0x00
EF_CNT	Регистр счётчика флагов прерываний END_FLAG и номера исполняемого в данный момент дескриптора самоинициализации	0x1C	0x00
FLAG	Регистр флагов прерываний канала	0x20	0x00

Обозначение регистра	Назначение	Смещение внутри канала, разряды 5:0 адреса	Исходное значение
MASK	Регистр масок прерываний канала	0x24	0x00
IRQ_WR	Регистр прерываний от всех каналов записи. Доступен только на чтение. Разряды адреса 11:6 могут принимать любое значение номера канала.	0x30	0x00
IRQ_RD	Регистр прерываний от всех каналов чтения. Доступен только на чтение. Разряды адреса 11:6 могут принимать любое значение номера канала.	0x34	0x00

Набор и формат перечисленных регистров управления одинаков для всех каналов чтения и записи. При доступе к требуемому регистру необходимо правильно указать номер канала в разрядах 11:6 адреса, в разрядах 5:0 задать адрес этого регистра в рамках выбранного канала. Регистры прерываний IRQ_WR и IRQ_RD доступны только на чтение. Для чтения регистров IRQ_WR и IRQ_RD в разрядах адреса 11:6 можно указать любое значение номера канала, в разрядах 5:0 задать правильный адрес (0x30 или 0x34 соответственно).

В данном разделе используются следующие обозначения типа доступа:

- R — только чтение;
- RW — чтение и запись;
- RW1 — чтение и пуск операции записью 1;
- W1 — пуск операции, записью 1. Реальная запись не производится;
- RW1C — чтение, запись 1 для сброса.

17.3.1 Регистр CSR

Регистр CSR - регистр управления каналом и статуса выполнения задания. Формат регистра CSR одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x00.

Таблица 156. Формат регистра CSR

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:17	-	Не используется	R	0

Номер раз-ряда	Обозначение	Описание	Тип доступа	Исходное значение
16	FIXED_ADDR	Режим выполнения задания с фиксированным адресом : 0 — в процессе выполнения задания адрес инкрементируется на количество записанных/прочитанных данных, канал выполняет транзакции с типом INCR; 1 — для всех данных задания адрес не изменяется, канал выполняет транзакции с одним и тем же адресом и с типом FIXED. Адрес данных задаётся в регистрах IRH, IRL (см. описание регистров IRH, IRL). В бит FIXED_ADDR записывается новое считанное значение при выполнении процедуры самоинициализации. Бит FIXED_ADDR не доступен для программной записи, когда в этом регистре бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	0
15:14	-	Не используется	R	0
13	END_FLAG_EN	Разрешение установки флага прерывания END_FLAG в регистре FLAG при завершении выполнения текущего задания: 0 – установка флага END_FLAG запрещена; 1 – установка флага END_FLAG разрешена. Флаг END_FLAG устанавливается, когда канал принял ответ на последнюю транзакцию обмена данными по заданию. В бит END_FLAG_EN записывается новое считанное значение при выполнении процедуры самоинициализации. Бит END_FLAG_EN не доступен для программной записи, когда в этом регистре бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	0

Номер раз-ряда	Обозначение	Описание	Тип до-ступа	Исходное значение
12	CHAIN_EN	Разрешение выполнить процедуру самоинициализации при завершении выполнения текущего задания: 0 — выполнение самоинициализации запрещено; 1 — выполнение самоинициализации разрешено. Если бит CHAIN_EN установлен в 1, то при завершении текущего задания, автоматически запускается процедура самоинициализации (чтение дескриптора самоинициализации), которая считывает из памяти и записывает в управляющие регистры канала параметры нового задания. В бит CHAIN_EN записывается новое считанное значение при выполнении процедуры самоинициализации. Бит CHAIN_EN не доступен для программной записи, когда в этом регистре бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	0
11:8	-	Не используется	R	0
7:4	WN	Максимальное количество данных (длина пачки), которое передаётся за один обмен (предоставление прямого доступа): 0 — одно 64-х разрядное слово; 1 — два 64-х разрядных слов; ... F — 16-ть 64-х разрядных слов. При выполнении обмена контроллер может уменьшать длину пачки согласно количеству доступных на чтение/запись данных. В поле WN записывается новое считанное значение при выполнении процедуры самоинициализации. Поле WN не доступно для программной записи, когда в этом регистре бит RUN=1	RW	0

Номер раз-ряда	Обозначение	Описание	Тип до-ступа	Исходное значение
		или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.		
3	-	Не используется	R	0
2	RUN_CP	Повторяет состояние бита RUN_CP регистра CPL. Позволяет определить моменты, когда во время работы канал выполняет процедуру самоинициализации. Доступен только на чтение, запуск процедуры самоинициализации с помощью этого бита не возможен.	R	0
1	BUSY	Признак того, что канал выполняет транзакции обмена данными согласно задания (есть активные транзакции, т.е. канал выдал одну или несколько транзакций, но ещё не получил на них ответа). Устанавливается в 0, когда канал принял ответы (с ошибкой или без) на все ранее выданные транзакции по заданию.	R	0

0	RUN	При записи 1 в этот бит, канал начинает выполнение задания на чтение/запись данных. Перед запуском, необходимо прописать все параметры задания в управляющие регистры канала. Бит RUN автоматически устанавливается в 1 при программном запуске процедуры самоинициализации путём записи 1 в бит RUN_CP регистра CPL. Пока бит RUN установлен в 1, канал автоматически выполняет задание и процедуры самоинициализации согласно настройкам. В бит RUN записывается новое считанное значение при выполнении процедуры самоинициализации. Если в бит RUN процедура самоинициализации записывает 0, то канал останавливает свою работу и устанавливается флаг RUN0_FLAG в регистре FLAG. При программной записи 0 в бит RUN, канал останавливает выдачу новых транзакций, при этом выданные транзакции завершаются в штатном режиме, также процедура самоинициализации продолжает свою работу, если она уже начата. Запущенная процедура самоинициализации и все выданные транзакции должны завершиться штатно. Их завершение можно определить по битам BUSY и RUN_CP этого регистра. Бит RUN автоматически сбрасывается в 0 и устанавливается флаг RUN0_FLAG в регистре FLAG в следующих случаях: - штатное завершение последнего задания в цепочке (когда бит CHAIN_EN=0), когда в систему выданы все транзакции по заданию. Но это не значит, что все транзакции завершены. Момент завершения транзакций можно определить по биту BUSY ; - при самоинициализации в прочитанном дескрипторе бит RUN =0 ; - при самоинициализации прочитаны данные со статусом «ошибка», при этом также устанавливается флаг CRESP_FLAG в регистре FLAG ;	RW	0
---	-----	---	----	---

Номер раз-ряда	Обозначение	Описание	Тип до-ступа	Исходное значение
		на очередную транзакцию обмена данными получен ответ со статусом «ошибка», при этом также устанавливается флаг DRESP_FLAG в регистре FLAG.		

17.3.2 Регистр BC

Регистр BC - регистр количества байт данных, которые должен записать/прочитать канал (длина непрерывной области памяти в байтах). Формат регистра BC одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x04.

Таблица 157. Формат регистра BC

Номер раз-ряда	Обозначение	Описание	Тип до-ступа	Исходное значение
----------------	-------------	----------	--------------	-------------------

31:0	BC	Количество байт, которые должен прочесть/записать канал (длина непрерывной области памяти в байтах): 0000_0000 — 4 294 967 296 байт; 0000_0001 — 1 байт; 0000_0002 — 2 байта; 0000_FFFF — 65 535 байт; FFFF_FFFF — 4 294 967 295 байт. Если подключенный порт требует от канала наличие байтового доступа, то канал может читать/записывать данные байтами и все разряды регистра BC доступны на запись для установки длины области в байтах. Все разряды регистра BC также доступны на запись нового значения при выполнении процедуры самоинициализации. Если порт требует от канала наличие доступа 32-х разрядными словами, то канал может читать/записывать данные 32-х разрядными словами (4 байта) и два младших разряда регистра BC должны быть равны 0. В этом режиме при программной записи в этот регистр два младших разряда 1:0 автоматически обнуляются, так чтобы длина области памяти была кратна 32-м разрядным словам. Два младших разряда 1:0 также автоматически обнуляются при записи нового считанного значения процедурой самоинициализации. Если подключенный порт не требует байтового или 32-х разрядного доступа, то канал работает целыми 64-х разрядными словами и три младших разряда регистра BC должны быть равны 0. В этом режиме при программной записи в этот регистр три младших разряда 2:0 автоматически обнуляются, так чтобы длина области памяти была кратна 64-х разрядным словам. Три младших разряда 2:0 также автоматически обнуляются при записи нового считанного значения процедурой самоинициализации.	RW	00
------	----	--	----	----

		При выдаче очередной транзакции регистр ВС уменьшается на длину данных этой транзакции в байтах, 32-х или 64-х разрядных словах. Когда все транзакции по заданию выданы (транзакции выданы, но не завершены), регистр ВС будет равен 0. В регистр ВС записывается новое считанное значение при выполнении процедуры самоинициализации с учётом режима работы канала (байтовый, 32-х или 64-х разрядный) , когда младшие разряды могут аппаратно обнуляться. Поле ВС не доступно для программной записи, когда в регистре CSR бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.		
--	--	---	--	--

17.3.3 Регистр CPL

Регистры CPL и CPN образуют 64-х разрядный физический адрес {CP[63:32], CP[31:3], 000} дескриптора самоинициализации (блок параметров задания). Физический адрес дескриптора должен быть выровнен по границе 64-х разрядных слов. Регистр CPL - регистр младшей части (разряды 31:0) физического адреса дескриптора самоинициализации. Формат регистра CPL одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x08.

Таблица 158. Формат регистра CPL

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:3	CP[31:3]	Младшая часть (разряды 31:3) физического адреса дескриптора самоинициализации. Физический адрес дескриптора должен быть выровнен по границе 64-х разрядных слов, поэтому три младшие разряда 2:0 адреса считаются равными 000. В поле CP[31:3] записывается новое считанное значение при выполнении процедуры самоинициализации. Поле CP[31:3] не доступно для программной записи, когда в регистре CRS бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	00
2:1	-	Не используется	R	0

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
0	RUN_CP	При программной записи 1 в этот бит, запускается процедура самоинициализации канала и устанавливается бит RUN в регистре CSR. Перед программным запуском самоинициализации по биту RUN_CP необходимо прописать старшую часть адреса дескриптора в регистр CPN. Запись 1 в бит RUN_CP возможна только в случае, когда сам бит RUN_CP=0 и в регистре CSR бит RUN = 0. Т.е. запуск самоинициализации канала возможен, когда канал не включен или остановлен и нет активной процедуры самоинициализации. Бит RUN_CP устанавливается в 1 аппаратно, когда канал автоматически выполняет процедуру самоинициализации в процессе выполнения задания. Бит RUN_CP автоматически сбрасывается в 0 при завершении процедуры самоинициализации. Записать 0 в этот бит и прервать процедуру самоинициализации невозможно.	RW1	0

17.3.4 Регистр CPN

Регистры CPL и CPN образуют 64-х разрядный физический адрес {CP[63:32], CP[31:3], 000} дескриптора самоинициализации (блок параметров задания). Регистр CPN - регистр старшей части (разряды 63:32) физического адреса дескриптора самоинициализации. Формат регистра CPN одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x0C.

Таблица 159. Формат регистра CPN

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:0	CP[63:32]	Старшая часть (разряды 63:32) физического адреса дескриптора самоинициализации. Перед запуском самоинициализации по биту RUN_CP, старшую часть адреса CP[63:32] необходимо прописать в первую очередь. В поле CP[63:32] записывается новое считанное значение при выполнении процедуры самоинициализации. Поле CP[63:32] не доступно для программной записи, когда в регистре CSR бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	00

17.3.5 Регистр IRL

Регистры IRL и IRN образуют 64-х разрядный физический адрес {IR[63:32], IR[31:0]} начала области памяти, с которого канал выполняет чтение/запись данных. Регистр IRL - регистр младшей части (разряды 31:0) физического адреса начала области памяти данных. Формат регистра IRL одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x10.

Таблица 160. Формат регистра IRL

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
---------------	-------------	----------	-------------	-------------------

31:0	IR[31:0]	Младшая часть (разряды 31:0) физического адреса начала области памяти, с которого канал выполняет чтение/запись данных. Если подключенный порт требует от канала наличие байтового доступа, то канал может читать/записывать данные байтами и все разряды регистра IRL доступны на запись для установки начального адреса области памяти. Все разряды регистра IRL также доступны на запись нового значения при выполнении процедуры самоинициализации. Если порт требует от канала наличие доступа 32-х разрядными словами, то канал может читать/записывать данные 32-х разрядными словами (4 байта) и два младших разряда регистра IRL должны быть равны 0. В этом режиме при программной записи в этот регистр два младших разряда 1:0 автоматически обнуляются, так чтобы начало области памяти располагалось по границе 32-х разрядных слов. Два младших разряда 1:0 также автоматически обнуляются при записи нового считанного значения процедурой самоинициализации. Если подключенный порт не требует байтового или 32-х разрядного доступа, то канал работает целыми 64-х разрядными словами и три младших разряда регистра IRL должны быть равны 0. В этом режиме при программной записи в этот регистр три младших разряда 2:0 автоматически обнуляются, так чтобы начало области памяти располагалось по границе 64-х разрядных слов. Три младших разряда 2:0 также автоматически обнуляются при записи нового считанного значения процедурой самоинициализации. Если в регистре CSR бит FIXED_ADDR=0, то при выдаче очередной транзакции обмена данными адрес в регистрах IRH, IRL увеличивается на длину этой транзакции в байтах, 32-х или 64-х разрядных словах. При FIXED_ADDR = 1 адрес в регистрах IRH, IRL не изменяется в процессе выполнения задания.	RW	00
------	----------	--	----	----

		В поле IR[31:0] записывается новое считанное значение при выполнении процедуры самоинициализации с учётом режима работы канала (байтовый, 32-х или 64-х разрядный), когда младшие разряды могут аппаратно обнуляться. Поле IR[31:0] не доступно для программной записи, когда в регистре CSR бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.		
--	--	--	--	--

17.3.6 Регистр IRH

Регистры IRL и IRH образуют 64-х разрядный физический адрес {IR[63:32], IR[31:0]} начала области памяти, с которого канал выполняет чтение/запись данных. Регистр IRH - регистр старшей части (разряды 31:0) физического адреса начала области памяти данных. Формат регистра IRH одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x14.

Таблица 161. Формат регистра IRH

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:0	IR[63:32]	Старшая часть (разряды 63:32) физического адреса начала области памяти, с которого канал выполняет чтение/запись данных. Если в регистре CSR бит FIXED_ADDR=0, то при выдаче очередной транзакции обмена данными адрес в регистрах IRH, IRL увеличивается на длину этой транзакции в байтах, 32-х или 64-х разрядных словах. При FIXED_ADDR=1 адрес в регистрах IRH, IRL не изменяется в процессе выполнения задания. В поле IR[63:32] записывается новое считанное значение при выполнении процедуры самоинициализации. Поле IR[63:32] не доступно для программной записи, когда в регистре CSR бит RUN=1 или RUN_CP=1, т.е. когда канал выполняет обмены по заданию или процедуру самоинициализации.	RW	00

17.3.7 Регистр PCSR

Регистр PCSR (псевдорегистр CSR) является двойником регистра CSR. Формат регистра PCSR одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x18. PCSR полностью повторяет формат регистра CSR с одним исключением, что все поля, кроме бита RUN, доступны только на чтение. Бит RUN доступен на чтение и запись (как в регистре CSR). Регистр PCSR позволяет останавливать выполнение задания и запускать продолжение этого или другого задания, путём записи в бит RUN без перезаписи остальных полей регистра CSR.

17.3.8 Регистр EF_CNT

Регистр EF_CNT - регистр счётчика флагов прерываний END_FLAG и номера текущего дескриптора самоинициализации, задание из которого находится на исполнении. Формат регистра EF_CNT одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x1C.

Таблица 162. Формат регистра EF_CNT

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:16	CHAIN_CNT	Номер текущего дескриптора самоинициализации, задание из которого находится на исполнении. Инкрементируется на 1 в момент завершения записи параметров нового задания в управляющие регистры канала (завершение процедуры самоинициализации). Доступ на запись позволяет устанавливать счётчик в любое состояние, в том числе в ноль.	RW	00
15:0	END_FLAG_CNT	Счётчик количества установок флага прерывания END_FLAG из регистра FLAG. Инкрементируется на 1 одновременно с установкой флага END_FLAG. Счётчик также инкрементируется на 1, если флаг END_FLAG уже установлен и возникает новое условие установки этого флага. Такой функционал позволяет «не потерять» очередной END_FLAG на фоне уже установленного. Доступ на запись позволяет устанавливать счётчик в любое состояние, в том числе в ноль.	RW	00

17.3.9 Регистр FLAG

Регистр FLAG — регистр флагов прерываний канала. Формат регистра FLAG одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x20.

Таблица 163. Формат регистра FLAG

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:12	-	Не используется	R	0
11:10	CRESP_FLAG	Флаг того, что транзакции чтения дескриптора самоинициализации завершилась со статусом «ошибка». Устанавливается аппаратно после завершения чтения всех слов дескриптора самоинициализации. Если CRESP_FLAG равен 0, то самоинициализация выполнена без ошибок, иначе — с ошибкой. При ошибке, канал останавливает свою работу, в регистре CSR бит RUN сбрасывается в 0. По флагу CRESP_FLAG устанавливается прерывание, если установлена маска CRESP_MASK в регистре MASK. Сбрасывается в 0 записью ненулевого значения в это поле, при этом сбрасывается прерывание. Все прерывания доступны на чтение в регистрах IRQ_WR и IRQ_RD.	RW1C	00
9:8	DRESP_FLAG	Флаг того, что некоторая транзакция обмена данными по заданию завершилась со статусом «ошибка». Устанавливается аппаратно при получении ответа на очередную транзакцию. Если DRESP_FLAG равен 0, то транзакция выполнена без ошибок, иначе — с ошибкой. При ошибке, канал останавливает свою работу, в регистре CSR бит RUN сбрасывается в 0. По флагу DRESP_FLAG устанавливается прерывание, если установлена маска DRESP_MASK в регистре MASK. Сбрасывается в 0 записью ненулевого значения в это поле, при этом сбрасывается прерывание. Все прерывания доступны на чтение в регистрах IRQ_WR и IRQ_RD.	RW1C	00
7:3	-	Не используется	R	0

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
2	RUN0_FLAG	Флаг того, что канал в регистре CSR аппаратно перевёл бит RUN в состояние 0. RUN0_FLAG аппаратно устанавливается в 1, а бит RUN сбрасывается в 0 при следующих условиях: - штатное завершение последнего задания в цепочке (когда бит CHAIN_EN=0), когда в систему выданы все транзакции по заданию. Но это не значит, что все транзакции завершены; - процедура самоинициализации прочитала и записала в управляющие регистры блок параметров(дескриптор) с битом RUN=0; - процедура самоинициализации прочитала данные со статусом «ошибка», при этом также устанавливается флаг CRESP_FLAG; - на очередную транзакцию обмена данными получен ответ со статусом «ошибка», при этом также устанавливается флаг DRESP_FLAG. По флагу RUN0_FLAG устанавливается прерывание, если установлена маска RUN0_MASK в регистре MASK. Сбрасывается в 0 записью 1 в этот разряд, при этом сбрасывается прерывание. Все прерывания доступны на чтение в регистрах IRQ_WR и IRQ_RD.	RW1C	0
1	DONE_FLAG	Флаг завершения выполнения всей цепочки заданий. DONE_FLAG аппаратно устанавливается в 1, когда канал принял ответ на последнюю транзакцию последнего задания в цепочке. Задание в цепочке является последним, когда в регистре CSR бит CHAIN_EN=0. По флагу DONE_FLAG устанавливается прерывание, если установлена маска DONE_MASK в регистре MASK. Сбрасывается в 0 записью 1 в этот разряд, при этом сбрасывается прерывание. Все прерывания доступны на чтение в регистрах IRQ_WR и IRQ_RD.	RW1C	0

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
0	END_FLAG	Флаг завершения выполнения очередного задания из цепочки заданий. END_FLAG аппаратно устанавливается в 1, когда канал принял ответ на последнюю транзакцию задания, для которого в регистре CSR бит END_FLAG_EN=1. По флагу END_FLAG устанавливается прерывание, если установлена маска END_MASK в регистре MASK. Сбрасывается в 0 записью 1 в этот разряд, при этом сбрасывается прерывание. Все прерывания доступны на чтение в регистрах IRQ_WR и IRQ_RD.	RW1C	0

17.3.10 Регистр MASK

Регистр MASK - регистр масок прерываний канала. Формат регистра MASK одинаков для всех каналов чтения и записи. Адрес внутри канала, разряды 5:0 адреса - 0x24.

Таблица 164. Формат регистра MASK

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:11	-	Не используется	R	0
10	CRESP_MASK	Маска установки прерывания по флагу CRESP_FLAG из регистра FLAG. Прерывание устанавливается по условию (CRESP_FLAG != 00) & CRESP_MASK.	RW	0
9	-	Не используется	R	0
8	DRESP_MASK	Маска установки прерывания по флагу DRESP_FLAG из регистра FLAG. Прерывание устанавливается по условию (DRESP_FLAG != 00) & DRESP_MASK.	RW	0
7:3	-	Не используется	R	0
2	RUN0_MASK	Маска установки прерывания по флагу RUN0_FLAG из регистра FLAG. Прерывание устанавливается по условию RUN0_FLAG & RUN0_MASK.	RW	0

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
1	DONE_MASK	Маска установки прерывания по флагу DONE_FLAG из регистра FLAG. Прерывание устанавливается по условию DONE_FLAG & DONE_MASK.	RW	0
0	END_MASK	Маска установки прерывания по флагу END_FLAG из регистра FLAG. Прерывание устанавливается по условию END_FLAG & END_MASK.	RW	0

17.3.11 Регистр IRQ_WR

Регистр IRQ_WR - регистр прерываний от всех каналов записи, доступен только на чтение. Все флаги прерываний из регистра FLAG каждого канала записи с учётом их масок из регистра MASK объединяются по «ИЛИ» и формируют одно общее прерывание от канала, которое доступно на чтение в соответствующем разряде регистра IRQ_WR, где WR_CHAN - это количество каналов записи. Для чтения регистра IRQ_WR в разрядах адреса 11:6 можно указать любое значение номера канала, в разрядах 5:0 задать адрес 0x30.

Таблица 165. Формат регистра IRQ_WR

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:WR_CHAN	-	Не используется	R	0
WR_CHAN-1	IRQ_WR <WR_CHAN-1>	Прерывание от канала записи под номером WR_CHAN-1	R	0
...			...	0
1	IRQ_WR<1>	Прерывание от 1-ого канала записи	R	0
0	IRQ_WR<0>	Прерывание от 0-ого канала записи	R	0

17.3.12 Регистр IRQ_RD

Регистр IRQ_RD - регистр прерываний от всех каналов чтения, доступен только на чтение. Все флаги прерываний из регистра FLAG каждого канала чтения с учётом их масок из регистра MASK объединяются по «ИЛИ» и формируют одно общее прерывание от канала, которое

доступно на чтение в соответствующем разряде регистре IRQ_RD, где RD_CHAN - это количество каналов чтения. Для чтения регистра IRQ_RD в разрядах адреса 11:6 можно указать любое значение номера канала, в разрядах 5:0 задать адрес 0x34.

Таблица 166. Формат регистра IRQ_RD

Номер разряда	Обозначение	Описание	Тип доступа	Исходное значение
31:RD_CHAN	-	Не используется	R	0
RD_CHAN-1	IRQ_RD <RD_CHAN-1>	Прерывание от канала чтения под номером RD_CHAN-1	R	0
...			...	0
1	IRQ_RD<1>	Прерывание от 1-ого канала чтения	R	0
0	IRQ_RD<0>	Прерывание от 0-ого канала чтения	R	0

17.4 Программное управление

17.4.1 Запуск и завершение выполнения задания

Каждый канал чтения или записи запускается отдельно. Перед запуском канала необходимо записать настройки задания в его управляющие регистры: IRH, IRL, CPH, CPL, BC, CSR. Канал запускается записью 1 в бит RUN регистра CSR или регистра PCSR. Если цепочки самоинициализации не используются, то прописывать регистры CPH, CPL не нужно. Контролировать процесс выполнения задания можно по управляющим регистрам IRH, IRL, CPH, CPL, BC, CSR, которые изменяют свои значения в ходе выполнения обменов.

В каждый момент работы канала, регистры IRH, IRL содержат адрес в памяти для следующей транзакции записи/чтения. Регистр BC содержит оставшееся количество байт данных для чтения/записи, отсюда можно вычислить обработанное количество данных. При завершении текущего задания канал в своём регистре FLAG устанавливает флаг прерывания END_FLAG, если в регистре CSR бита END_FLAG_EN=1. При завершении выполнения всей цепочки заданий канала безусловно устанавливается флаг прерывания DONE_FLAG в своём регистре FLAG. По этим флагам формируется прерывание для CPU, если в регистре MASK установлены соответствующие разрешения.

В процессе выполнения задания или цепочки заданий в регистре CSR (PCSR) бит RUN =1. При выдаче последней транзакции по последнему заданию из цепочки (цепочка может состоят

из одного задания), бит RUN автоматически сбрасывается в 0, устанавливается флаг прерывания RUN0_FLAG в регистре FLAG, регистр BC должен быть равен 0. При этом последняя транзакция выдана, но ещё не завершена, так как на неё не получен ответ. Определить завершение всех транзакций по заданию можно по биту BUSY в регистре CSR и по флагам END_FLAG, DONE_FLAG. Эти флаги устанавливаются при получении ответа на последнюю транзакцию. Поэтому задание считается полностью завершённым, когда в регистре CSR(PCSR) бит RUN=0, бит BUSY=0 и в регистре FLAG установились соответствующие флаги прерываний END_FLAG, DONE_FLAG согласно настройкам.

В ситуации, когда бит RUN сбросился в 0 при выдаче последней транзакции, в управляющие регистры канала можно записать настройки для нового задания и запустить его, не дожидаясь завершения текущего задания, когда бит BUSY сбросится в 0. Тогда определить завершение текущего задания можно только по флагам прерываний END_FLAG, DONE_FLAG. Бит BUSY будет показывать занятость канала уже с учётом нового задания и сбросится в 0 только при завершении нового задания.

17.4.2 Принудительная остановка и запуск

В любой момент можно принудительно остановить канал, записью 0 в бит RUN регистра CSR (PCSR). При остановке, канал перестаёт выдавать новые транзакции обмена данными, уже выданные транзакции ждут своего штатного завершения (ждут ответов). Завершение уже выданных транзакций можно определить по биту BUSY в регистре CSR (PCSR). При принудительной остановке канала невозможно остановить уже запущенную процедуру самоинициализации, необходимо дождаться её завершения. Определить завершение процедуры самоинициализации можно по биту RUN_CP в регистрах CSR (PCSR) или CPL.

Для продолжения выполнения задания с тех настроек, на которых оно было остановлено, записать 1 в бит RUN. Для временной приостановки канала полезно использовать псевдорегистр PCSR. Он позволяет управлять битом RUN (выполнять остановку и запуск), при этом остальные разряды этого регистра не изменяются так как доступны только на чтение.

Для продолжения с новыми настройками (новое задание или частично изменить текущие настройки) необходимо дождаться завершения процедуры самоинициализации, если она была запущена каналом. Далее установить новые настройки в управляющих регистрах IRH, IRL, CPN, CPL, BC, CSR. После запустить новое задание, записью 1 в бит RUN, либо запустить канал через программный запуск самоинициализации (см. Самоинициализация канала).

17.4.3 Самоинициализация канала

Каждый канал способен выполнять цепочку заданий. Для этого в памяти необходимо создать цепочку дескрипторов. Цепочка может состоять из одного или нескольких дескрипторов, длина цепочки не ограничена. Дескриптор должен располагаться в памяти по границе 64-х разрядных слов. Каждый дескриптор состоит из трех 64-х разрядных слов, которые содержат параметры задания, в том числе адрес в памяти следующего дескриптора из цепочки. При выполнении процедуры самоинициализации параметры задания читаются из памяти и записываются в управляющие регистры канала: IRH, IRL, CPH, CPL, BC, CSR.

Таблица 167. Формат дескриптора самоинициализации

Обозначение полей дескриптора	Описание
{ IRH[31:0] , IRL[31:0] }	1-ое слово дескриптора. Располагается в памяти по адресу: {CPH[31:0],CPL[31:3],0b000}. Где CPH[31:0],CPL[31:3] значения одноимённых регистров канала на момент запуска процедуры самоинициализации. IRH[31:0] - старшие 32-а разряда 1-ого слова дескриптора записываются в регистр IRH. IRL[31:0] - младшие 32-а разряда записываются в регистр IRL с учётом режима работы канала (байтовый, 32-х или 64-х разрядный) , когда младшие разряды IRL могут аппаратно обнуляться при записи (см. описание регистра IRL).
{ CPH[31:0], CPL[31:0] }	2-ое слово дескриптора. Располагается в памяти по адресу: {CPH[31:0],CPL[31:3],0b000} + 0x08. CPH[31:0] - старшие 32-а разряда 2-ого слова дескриптора записываются в регистр CPH. CPL[31:0] - младшие 32-а разряда записываются в регистр CPL. При этом три младших разряда CPL принимают значения как указано в описании регистра CPL. 2-ое слово дескриптора содержит физический адрес следующего дескриптора в цепочке. Для последнего дескриптора в цепочке это слово может содержать произвольные значения.

Обозначение полей дескриптора	Описание
{ BC[31:0], CSR[31:0] }	3-е слово дескриптора. Располагается в памяти по адресу: {CPH[31:0],CPL[31:3],0b000} + 0x10. BC[31:0] - старшие 32-а разряда 3-его слова дескриптора записываются в регистр BC[31:0] с учётом режима работы канала (байтовый, 32-х или 64-х разрядный) , когда младшие разряды BC могут аппаратно обнуляться при записи (см. описание регистра BC). CSR[31:0] - младшие 32-а разряда записываются в регистр CSR[31:0]. Для последнего дескриптора в цепочке необходимо установить бит CHAIN_EN в 0. Для всех остальных промежуточных дескрипторов установить бит CHAIN_EN в 1. Если требуется автоматическое выполнение нового задания после завершения самоинициализации, то необходимо в дескрипторе установить бит RUN в 1. Если бит RUN=0, то после завершения процедуры самоинициализации канал остановится, при этом выставит флаг прерывания RUN0_FLAG. Продолжить выполнение задания и запустить канал можно записью 1 в бит RUN регистра CSR (PCSR).

Запустить канал можно без программной настройки управляющих регистров, а через процедуру самоинициализации. Для этого сформировать в памяти цепочку дескрипторов или один дескриптор, записать адрес 1-ого дескриптора в регистры CPH, CPL канала. Программно запустить процедуру самоинициализации, записав 1 в бит RUN_CP регистра CPL. Если в прочитанном дескрипторе самоинициализации бит RUN установлен в 1, то канал начнёт выполнение загруженного задания. Если RUN установлен в 0, то канал остановится и выставит флаг прерывания RUN0_FLAG, но новое задание запишется в управляющие регистры канала.

Во время своей работы канал автоматически запускает процедуру самоинициализации. Это происходит всякий раз, когда канал выдал все транзакции обмена данными по текущему заданию и в регистре CSR бит CHAIN_EN=1. По адресу из регистров CPH, CPL канал читает из памяти следующий дескриптор самоинициализации и записывает новое задание в управляющие регистры. При этом в регистры CPH, CPL записывается адрес следующего дескриптора.

Пока выполняется процедура самоинициализации бит RUN_CP регистра CPL находится в состоянии 1. Запущенную процедуру самоинициализации остановить невозможно. Она завершается штатно. При завершении чтения дескриптора самоинициализации, когда все параметры нового задания записаны в управляющие регистры, инкрементируется счётчик CHAIN_CNT в регистре EF_CNT и бит RUN_CP сбрасывается в 0.

17.5 Флаги и прерывания

В процессе работы каждый канал устанавливает флаги прерываний произошедших событий. Флаги доступны на чтение и сброс в регистре FLAG. Каждый флаг приводит к установке прерывания, если в регистре MASK соответствующая маска установлена в 1. Сброс флага или

сброс маски приводит к сбросу соответствующего прерывания. Все прерывания от всех каналов контроллера доступны на чтение в регистрах `IRQ_WR` и `IRQ_RD`.

17.5.1 Флаг `DONE_FLAG`

Флаг прерывания `DONE_FLAG` аппаратно устанавливается в 1, когда канал принял ответ на последнюю транзакцию обмена данными из последнего задания в цепочке (завершение последней транзакции всей цепочки заданий). Задание в цепочке является последним, когда в регистре CSR бит `CHAIN_EN=0`. Флаг `DONE_FLAG` позволяет определить момент, когда канал завершил всё цепочку заданий и данные действительно записаны или прочитаны из памяти.

Флаг `DONE_FLAG` устанавливается по факту приёма ответа на транзакцию, независимо от его статуса. Если на последнюю транзакцию получен ответ со статусом «ошибка», то флаги `DONE_FLAG` и `DRESP_FLAG` устанавливаются одновременно.

17.5.2 Флаг `END_FLAG`

Флаг прерывания `END_FLAG` аппаратно устанавливается в 1, когда канал принял ответ на последнюю транзакцию обмена данными из задания, у которого в регистре CSR бит `END_FLAG_EN=1`. Этот флаг полезно использовать при работе канала по цепочкам самоинициализации, где для каждого дескриптора в цепочке можно отдельно установить разрешение `END_FLAG_EN`. Тем самым можно задать требуемую картину установки флагов прерывания `END_FLAG`. Например, на каждом задании в цепочке, через одно, на каждом десятом задании и т.д.

В процессе работы канал устанавливает флаг прерывания `END_FLAG` независимо от того сброшен ли предыдущий `END_FLAG`. Для того, чтобы «не потерять» очередной `END_FLAG` на фоне уже установленного, в каждом канале в регистре `EF_CNT` существует счётчик `END_FLAG_CNT` - счётчик количества установок флага прерывания `END_FLAG`.

При завершении последнего задания, флаги `END_FLAG` и `DONE_FLAG` могут установиться одновременно, если в регистре CSR последнего задания установлено разрешение `END_FLAG_EN`. Также может установиться флаг `DRESP_FLAG`, если на последнюю транзакцию получен ответ со статусом «ошибка».

17.5.3 Флаг `RUN0_FLAG`

`RUN0_FLAG` - флаг того, что канал аппаратно перевёл бит `RUN` в регистре CSR в состояние 0. Флаг `RUN0_FLAG` аппаратно устанавливается в 1, а бит `RUN` сбрасывается в 0 при следующих условиях:

- штатное завершение последнего задания в цепочке (когда бит CHAIN_EN=0), когда в систему выданы все транзакции по заданию. Но это не значит, что все транзакции завершены;
- процедура самоинициализации прочитала и записала в управляющие регистры новое задание с битом RUN=0;
- процедура самоинициализации прочитала данные нового задания со статусом «ошибка», при этом одновременно устанавливается флаг CRESP_FLAG;
- на очередную транзакцию обмена данными получен ответ со статусом «ошибка», при этом одновременно устанавливается флаг DRESP_FLAG.

17.5.4 Флаг CRESP_FLAG

CRESP_FLAG - флаг статуса завершения транзакций чтения трех слов дескриптора самоинициализации. Устанавливается аппаратно после получения ответов на все транзакции. Если CRESP_FLAG равен 0, то самоинициализация выполнена без ошибок, иначе — ошибка, на одну или несколько транзакций чтения дескриптора получен ответ со статусом «ошибка». При любом завершении, прочитанные данные записываются в управляющие регистры. При завершении самоинициализации с ошибкой управляющие регистры могут содержать недействительные значения. При ошибке, канал останавливает свою работу, в регистре CSR бит RUN аппаратно сбрасывается в 0. Поэтому флаги CRESP_FLAG и RUN0_FLAG могут установиться одновременно.

17.5.5 Флаг DRESP_FLAG

DRESP_FLAG - флаг статуса завершения транзакций обмена данными по заданию. Устанавливается аппаратно при получении ответа со статусом «ошибка» на очередную транзакцию обмена данными по заданию. Если DRESP_FLAG равен 0, то транзакции выполнены без ошибок, иначе — ошибка, на одну или несколько транзакций обмена данными получен ответ со статусом «ошибка». При ошибке, канал останавливает свою работу, в регистре CSR бит RUN аппаратно сбрасывается в 0. Поэтому флаги DRESP_FLAG и RUN0_FLAG могут установиться одновременно.

18. АНАЛОГОВАЯ ЧАСТЬ

Аналоговая часть состоит из ЦАП/АЦП, а также вспомогательных блоков для этих блоков. Структурная схема изображена на рисунке 6.

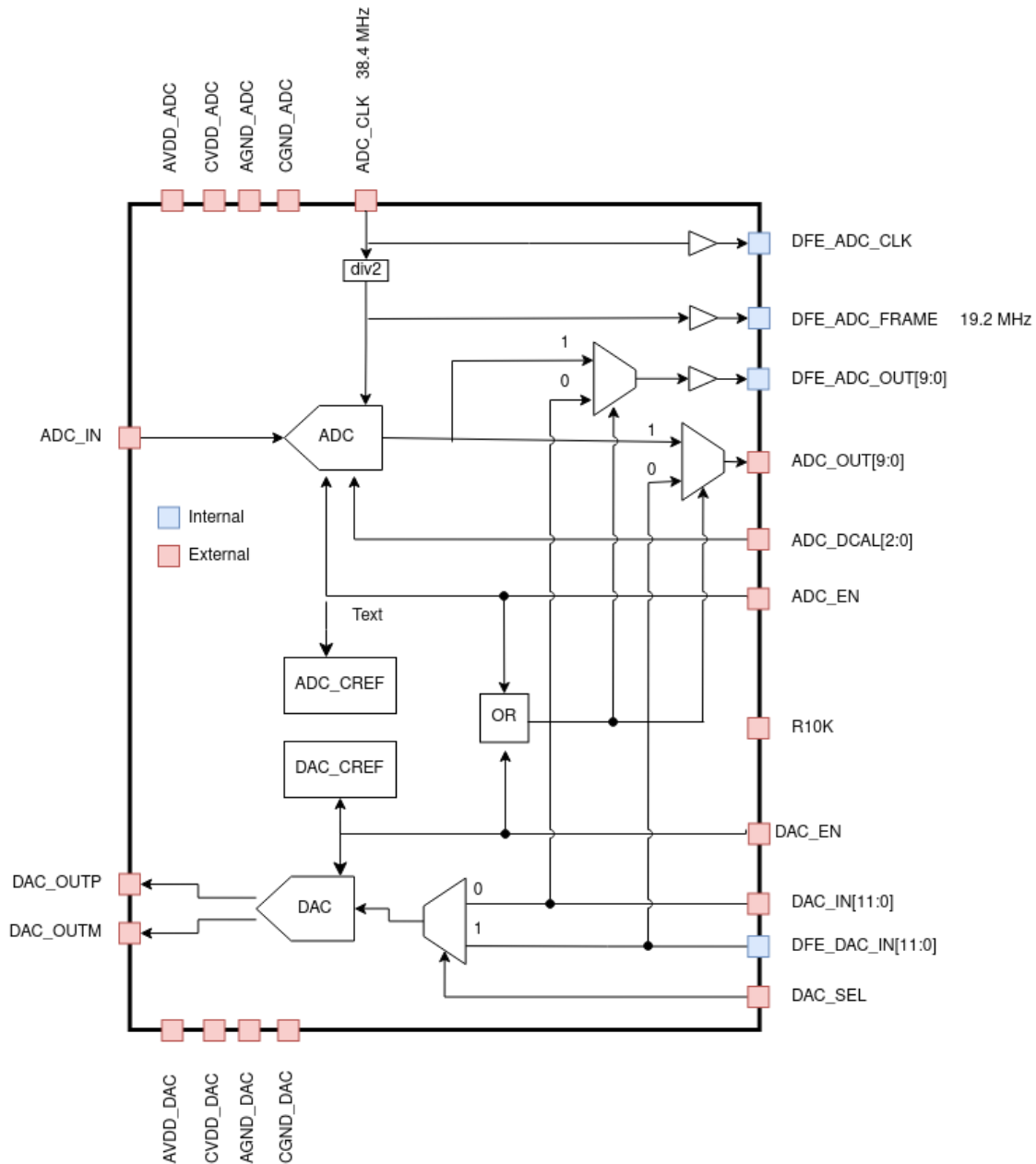


Рисунок 6. Структурная схема аналоговой частью

Конфигурация аналоговой части осуществляется с помощью КП микросхемы, шина ADC_DCALL должна иметь значение 5. В таблице 167 приведены возможные режимы работы.

Таблица 168. Режимы работы аналоговой части

ADC_EN	DAC_EN	DAC_SEL	Режим работы
0	0	0	Выключено на КП ADC_OUT соединенны с DFE_DAC_IN. Режим работы с внешней аналоговой частью.
0	0	1	Выключено на КП ADC_OUT соединенны с DFE_DAC_IN
0	1	0	ЦАП включен источник данных - КП DAC_IN
0	1	1	ЦАП включен источник данных - DFE_DAC_IN
1	0	0	АЦП включен, ЦАП выключен на ADC_OUT и DFE_ADC_OUT — выход АЦП
1	0	1	АЦП включен, ЦАП выключен на ADC_OUT и DFE_ADC_OUT — выход АЦП
1	1	0	АЦП включен, ЦАП включен источник данных — КП DAC_IN. Режим работы аналоговой части с внешним цифровым устройством
1	1	1	ЦАП включен источник данных - DFE. Основной режим работы.

18.1 Формат данных

Входные и выходные данные представляются как положительное число в прямо смещенном коде и с учетом упаковки могут быть интерпретированы как unsigned short языка C.

19. ВЫЯВЛЕННЫЕ ОГРАНИЧЕНИЯ

Загрузка/выгрузка данных в/из близкой памяти процессора возможна только при установке параметра WN контроллера DMA=0.

20. СРЕДСТВА РАЗРАБОТКИ И ОТЛАДКИ

Работоспособность средств разработки и отладки проверялась на ОС Oracle Linux 8.

20.1 Компилятор

Для сборки ПО применяется компилятор GCC исходный код которого можно найти [тут](#).

для сборки компилятора нужно выполнить сл. последовательность команд:

```
sh
git clone https://github.com/riscv-collab/riscv-gnu-toolchain.git
cd riscv-gnu-toolchain
./configure --prefix=PATH_TO_OUT_FOLDER --with-arch=rv32imc_zicsr --with-abi=ilp32
make
```

Бинарные файлы [тут](#).

20.2 Сервер JTAG

Для работы с аппаратным отладчиком может использоваться openocd исходные коды и инструкцию по сборке можно найти [тут](#).

Бинарные файлы [тут](#).

20.3 Пример ПО

Пример программы для MS1 с инструкцией по сборке можно найти [тут](#).

21. СПИСОК ИЗМЕНЕНИЙ

21.1 30 апреля 2025 г

Первая версия.

21.2 05 мая 2025 г

Добавлен список изменений, описание режимов работы DFE, скорректированы названия глав, изменен порядок.